



西安恩狄集成电路有限公司

Analog &amp; Digital Microelectronics Limited

## AD18E22X 用户手册

版权所有©

西安恩狄集成电路有限公司

本资料内容为西安恩狄集成电路有限公司在现有数据资料基础上编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时应充分考虑外部诸条件，西安恩狄集成电路有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，西安恩狄集成电路有限公司亦不对使用方使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。文档中所有涉及到第三方软件的，请自行购买正版软件，因第三方软件版权问题涉及到的一切后果，与西安恩狄集成电路有限公司无关。基于使本资料的内容更加完善等原因，西安恩狄集成电路有限公司保留未经预告的修改权

西安恩狄集成电路有限公司

地 址：陕西省西安市高新区高新一路 19 号思安大厦 4 楼西侧

地 址：深圳市龙岗区坂田街道环城南路 5 号坂田国际中心 C2 栋 311 室

电 话：+ (86 29) 88322766 网 站：www.admicrochip.com

微信号：恩狄 ADUC



## 目录

版本修订记录 .....	1
1 产品简介 .....	1
1.1 功能特性 .....	1
1.2 系统结构 .....	3
1.3 引脚排列 .....	4
1.4 产品选型表 .....	5
1.5 引脚说明 .....	5
1.6 绝对最大额定值 .....	8
2 中央处理器 .....	9
2.1 指令集 .....	9
2.2 程序存储 .....	9
2.2.1 程序计数器 .....	9
2.2.2 返回地址堆栈 .....	9
2.2.3 栈顶访问 .....	9
2.2.4 返回堆栈指针(STKPTR) .....	10
2.2.5 快速寄存器堆栈 .....	10
2.2.6 程序存储器 .....	11
2.3 数据存储器 RAM .....	11
2.4 数据寻址方式 .....	12
2.4.1 固有和立即数寻址 .....	12
2.4.2 直接寻址 .....	12
2.4.3 间接寻址 .....	12
2.5 配置选项 .....	14
3 MTP .....	16
3.1 MTP 程序存储器 .....	16
4 系统时钟源 .....	17
4.1 系统时钟相关寄存器 .....	17
5 复位 .....	19
5.1 初始化配置时序 .....	19
5.2 上电复位 .....	20
5.3 低电压复位 .....	21
5.4 上电复位延时 .....	21
5.5 非法指令复位 .....	21
5.6 软件复位 .....	21
5.7 外部管脚复位 .....	21

5.8	堆栈溢出复位 .....	21
6	I/O 端口 .....	24
6.1	IO 工作模式 .....	24
6.1.1	PA 口 .....	24
6.1.2	PB 口 .....	30
6.1.3	PC 口 .....	32
7	定时器 .....	38
7.1	Timer0/Prescler/BUZZER .....	38
7.1.1	Prescaler .....	38
7.1.2	BUZZER .....	38
7.2	TIMER1 16 位定时/计数和捕捉 .....	41
7.2.1	Timer1 的定时计数 .....	41
7.2.2	Timer1 捕捉模式 .....	42
7.3	TIMER2 定时器和 3 路独互补 PWM .....	46
7.3.1	Timer2 计数/定时 .....	46
7.3.2	PWM .....	46
7.3.3	HBRIDGE .....	50
7.3.4	寄存器 .....	54
7.4	TIMER3 定时器 .....	61
7.4.1	定时器 3 计数/定时 .....	61
7.4.2	Timer3 门控 .....	61
7.4.3	寄存器 .....	63
7.5	看门狗定时器(WDT) .....	66
8	UART .....	68
8.1	相关寄存器 .....	68
8.2	波特率发生器 .....	70
8.3	异步发送 .....	71
8.4	异步接收 .....	72
8.5	单线半双工 .....	73
9	中断 .....	74
9.1	外部中断 .....	74
9.2	Timer0 中断 .....	75
9.3	Timer1 溢出中断以及上升沿和下降捕捉中断 .....	75
9.4	Timer2 溢出中断 .....	75
9.5	Timer3 溢出中断以及门控中断 .....	75
9.6	PortA 输入改变中断 .....	75
9.7	PortB 输入改变中断 .....	75

9.8	PortC 输入改变中断 .....	76
9.9	PWM2 中断 .....	76
9.10	比较器中断 .....	76
9.11	ADC 中断 .....	76
9.12	中断的相关寄存器 .....	76
10	固定参考电压(FVR) .....	84
11	模数转换器(ADC) .....	86
12	数模转换器(DAC) .....	91
12.1	DAC 参考电压选择寄存器 .....	91
13	比较器 .....	93
13.1	比较器 CMP0 .....	93
13.2	比较器 CMP1 .....	95
14	8X8 硬件乘法器 .....	98
15	省电模式(SLEEP) .....	99
15.1	睡眠唤醒 .....	99
16	电气特性 .....	101
16.1	直流交流电气特性 .....	101
16.2	低功耗模式唤醒时间 .....	104
16.3	HIRC 频率与 VDD 关系曲线图 .....	104
16.4	LIRC 频率与 VDD 关系曲线图 .....	104
16.5	HIRC 频率与温度关系曲线图 .....	105
16.6	LIRC 频率与温度关系曲线图 .....	105
16.7	IO 引脚输出驱动能力电流( $I_{OH}$ )和灌电流( $I_{OL}$ )曲线图 .....	105
16.8	IO 引脚输入高/低阈值电压( $V_{IH}/V_{IL}$ )曲线图 .....	106
16.9	IO 引脚上拉/下拉阻抗曲线图 .....	107
16.10	工作电流与 VDD、系统时钟 CLK=HIRC/n 关系曲线图 .....	107
16.11	工作电流与 VDD、系统时钟 CLK=LIRC/n 关系曲线图 .....	108
16.12	掉电模式消耗电流( $I_{OFF}$ )与省电模式消耗电流( $I_{SAVE}$ )曲线图 .....	110
17	封装尺寸 .....	111
17.1	QFN20 .....	111
17.2	SOP16 .....	111
17.3	SOP14 .....	112
18	订购信息 .....	113
18.1	AD18E221 .....	113
19	特别注意事项 .....	114
19.1	工作电压范围 .....	114
19.2	看门狗 .....	114



---

19.3	HIRC .....	114
19.4	IC 烧录方法 .....	114
19.4.1	烧录引脚及方法 .....	114
19.4.2	烧录电压条件 .....	115
19.4.3	烧录注意事项 .....	115
免责声明	.....	116

## 版本修订记录

Bin	Version	Change List	Owner
1	1.0.0	初始版本	minjw

# 1 产品简介

## 1.1 功能特性

- RISC18 指令集，支持 83 条指令，内置 8\*8BIT 硬件乘法器，拥有高低优先级中断：
  - ✧ 程序空间：4K\*16 BIT MTP，支持 9.5V VPP 电压下，100 次擦除写入；
  - ✧ 支持非法指令复位功能；支持复位指令；
  - ✧ 支持 TypeC 口带电在线升级程序，无限断点设定和调试；
  - ✧ 支持 TypeC 口双芯片级联带电在线升级程序；
  - ✧ 数据空间：256\*8BIT SRAM；
  - ✧ 堆栈：支持 8 层硬件堆栈嵌套；
- 支持 2T 和 4T 的 CPU 运算模式；
- 内置双时钟模式，高速可以倍频到 32MHz，可选 16M/8M/4M/2M/1M；超低功耗 32K 时钟；通过寄存器可实时切换 CPU 时钟；
- CPU 有 PWDEEP、PWOFF 两种低功耗工作模式：
  - ✧ PWDEEP：CPU 停止工作，高速 16M 时钟停止工作，低速 32K 时钟工作，SRAM 数据保持；支持外部中断、IO 中断、复位、比较器、看门狗溢出和 TIMER1 的 32K 定时唤醒，唤醒后继续从当前 PC 运行；
  - ✧ PWOFF：全部外设和模拟停止工作，支持外部中断、IO 中断、复位，唤醒后继续从当前 PC 运行；
- TIMER0，8 位定时/计数器，可选 FCPU、OSC32K(32K 时钟)、T0CKI、比较器输出作为 TIMER0 时钟，同时支持 BUZZER 输出模式；
- TIMER1，16 位定时/计数器，低功耗定时器(Power Deep 32K 定时)，有多个时钟输入选择，可以工作在异步时钟工作模式，同时支持 IO 管脚捕捉模式功能；支持自启动 ADC 功能；
- TIMER2，8 位定时计数器，支持 CPU 中断，时钟源为 Fsys，最高可以跑 32MHz；支持调频，PR2 写入值更新为 TIMER2 溢出时间；三路同周期独立占空比的 PWM，支持多种死区时间设置的 3 路互补 PWM 输出；可以根据 PWM 边沿，延时启动 ADC 采集；
- TIMER3，8 位定时计数器，支持 CPU 中断，时钟源为 Fsys，支持外部门控输入模式；
- 一路 UART，支持全双工、单线半双工，含波特率发生器，可以配置 8/9 比特收发功能；
- 内置高精度电压源，提供电压 1.2V、2.4V、3.6V；
- 16 通道的，12bit 高精度的 ADC，支持 14 个 IO 引脚采集，同时支持内部 FVR 和 1/4VDD 的模拟信号采集；
- LVR 提供 4 种低电压选择：2.0V、2.4V、2.6V 和 2.8V；
- 两路比较器，支持迟滞，用于比较电压的大小；支持最长 32us(16M/2T)数字滤波输出；
- 支持一路 DAC，可以选择 VDD 和 FVR 做参考源；
- 超强程序加密算法，保证芯片程序内容唯一性；
- 除跳转指令为两个周期指令以外其余为单周期指令；
- 运行速度：支持最高 32MHz/4T 的 CPU 运行工作频率和外设运行频率；
- 上电复位计数器(PWRT)和振荡启动计数器(Oscillator Start-up Timer OST)；

- 内部振荡器集成了一个看门狗保证了可靠的操作同时软件使能看门狗操作；
- 19 个通用 GPIO，所有 IO 支持 SINK 大电流设定；
  - ✧ PA3 为开漏 IO，支持 VPP 输入；
  - ✧ 所有 IO 内置上拉电阻，支持 SMT/TTL 设定；其中 PA 口额外内置下拉电阻，支持开漏设定，并支持  $20\%*VDD/40\%*VDD$  和  $30\%*VDD/70\%*VDD$  施密特输入设定；
  - ✧ PC1 支持  $20\%*VDD/40\%*VDD$  和  $30\%*VDD/70\%*VDD$  施密特输入设定；
  - ✧ PC6 上拉默认有 100K 电阻，不可关闭，并内置上下拉电阻 1K，用于 PMOS 控制；
  - ✧ PC0 可以复用为外部 RST 输入，所有 IO 支持键盘中断，支持外部唤醒，PB1、PB3、PB4 支持 INT 中断；
  - ✧ 所有 IO 支持  $VDD=3.3V, 10mA Source@VOH=90\%*VDD, 30mA Sink@VOL=10\%*VDD$ ，所有 IOSink 支持 2 档电流，10mA 和 30mA 设定；
- 中断：
  - ✧ 4 个内部计数/定时器中断；
  - ✧ 2 个捕捉中断和 1 个门控中断；
  - ✧ 三个外部 INT 中断；
  - ✧ PA、PB 和 PC 的输入改变中断；
  - ✧ PWM20、PWM22、PWM24 占空比中断；
  - ✧ 2 个模拟比较器中断；
  - ✧ ADC 中断；
  - ✧ UART 接收、发送中断；
- 通过外部中断、PA 中断、PB 中断、PC 中断、TIMER1 中断、WDT 溢出和外部复位实现睡眠模式唤醒；
- 有可靠的保证使得程序代码不被读出；
- CPU 工作的最高频率为 16MHz/4T 下工作电压范围@VDD=2.0V-5.5；16MHz/2T 和 32MHz/4T 下工作电压范围@VDD=2.6V-5.5V；
- 封装类型：SOP14、SOP16、QFN20；

## 1.2 系统结构

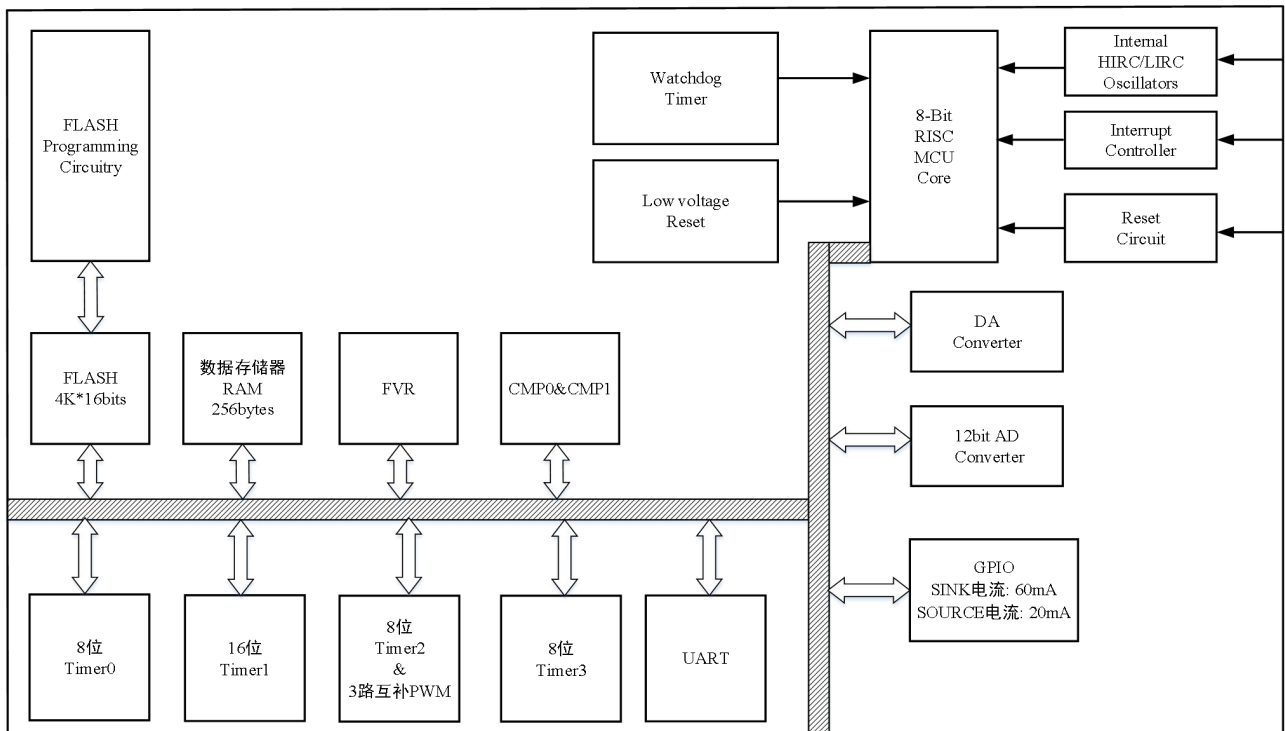


图 1 系统结构图(AD18E221)

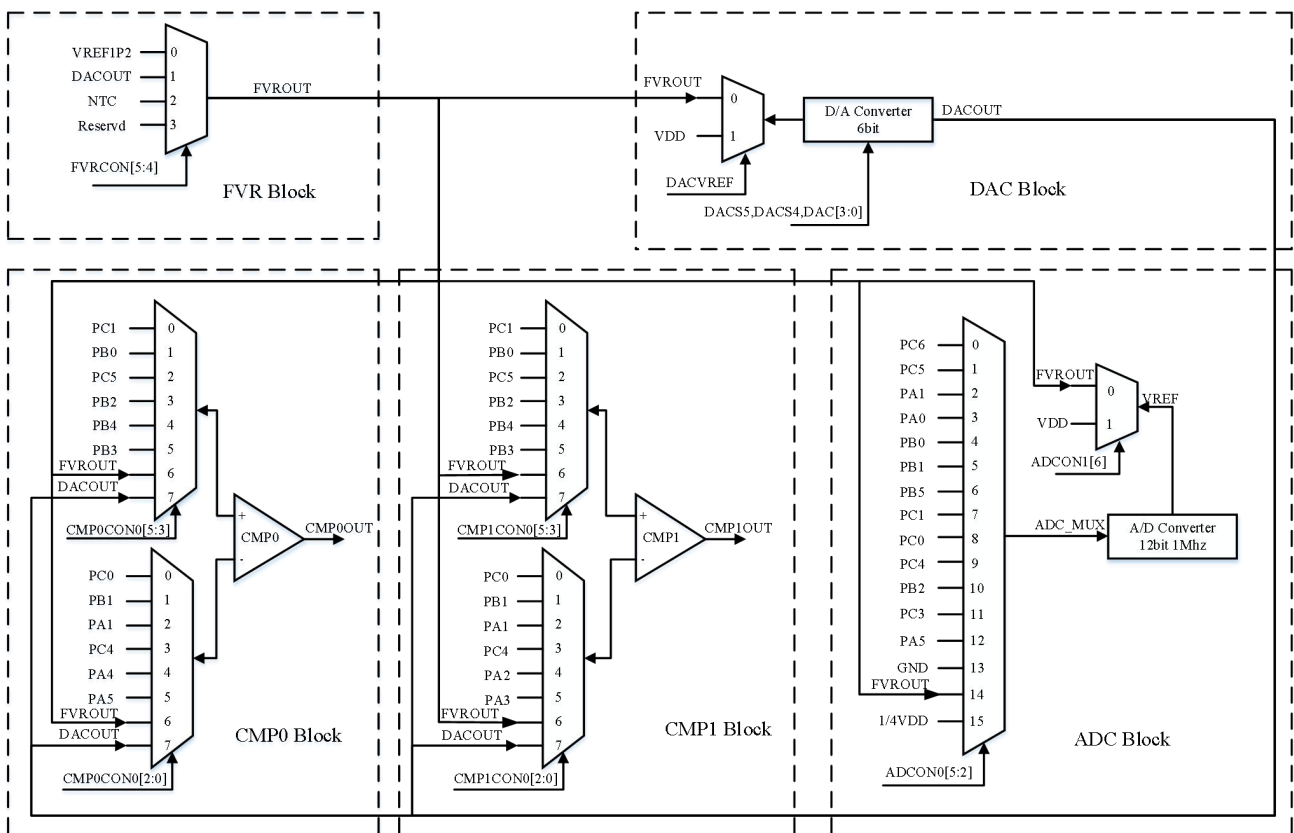


图 2 模拟模块内部结构图

## 1.3 引脚排列

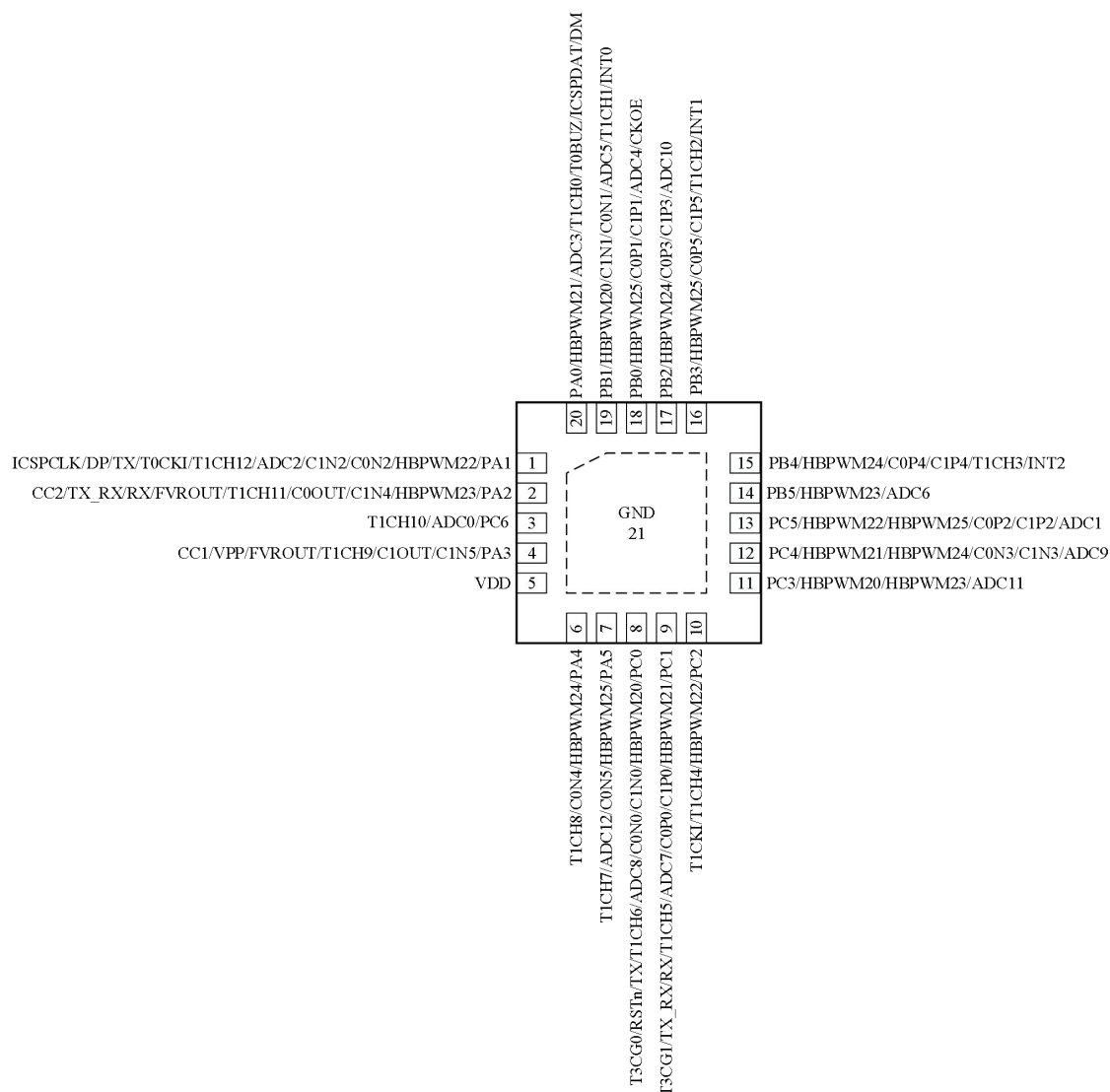


图 3 AD18E221Q20

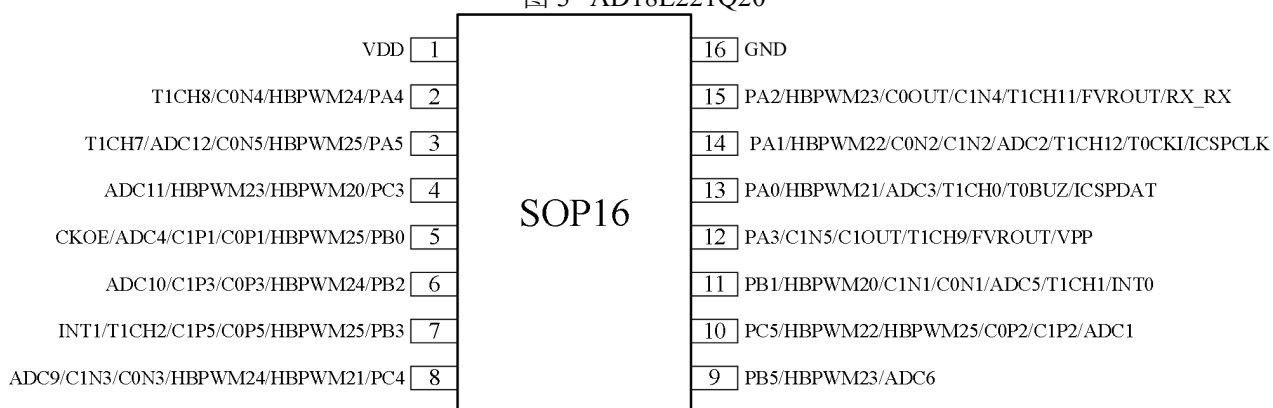


图 4 AD18E221S16

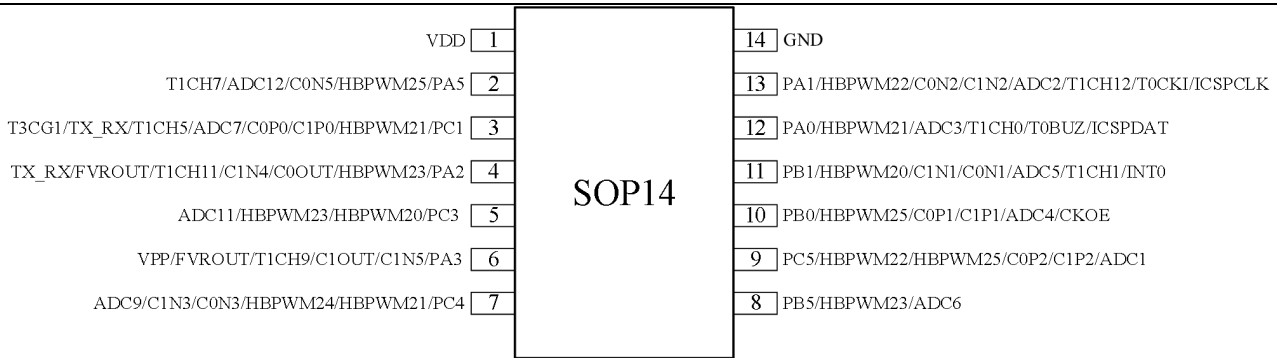


图 5 AD18E221S14

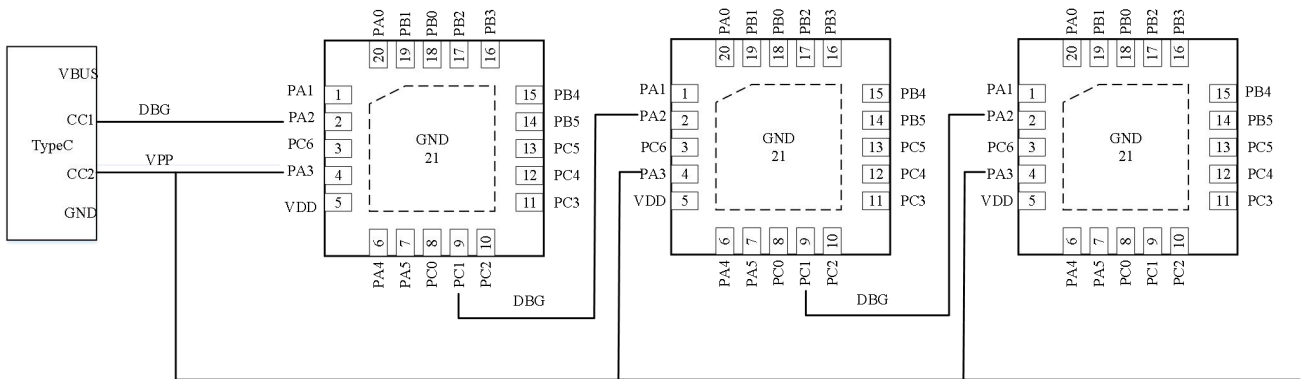


图 6 多芯片级联烧录

## 1.4 产品选型表

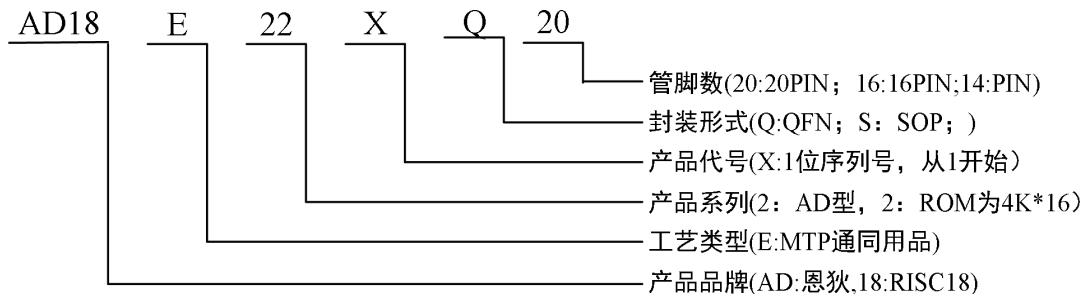


表 1-1 型号说明

产品型号	ROM	RAM	TIMER	ADC	CMP	DAC	FVR	IO	UART	封装类型
AD18E221Q20	4K*16	256*8	4	12bit*16	2	1	1	19	1	QFN20
AD18E221S16	4K*16	256*8	4	12bit*16	2	1	1	14	1	SOP16
AD18E221S14	4K*16	256*8	4	12bit*16	2	1	1	12	1	SOP14

## 1.5 引脚说明

管脚名	功能名	输入类型	输出类型	具体描述
PA0	PA0	SMT	CMOS	GPIO
	HBPWM21		CMOS	HBPWM21 输出引脚
	ADC3	AN		ADC 通道 3
	T1CH0	SMT		Timer1 的捕捉通道
	T0BUZ		CMOS	Timer0 的 BUZZER 输出

	<b>ICSPDAT</b>	SMT	CMOS	烧录器的数据引脚
<b>PA1</b>	<b>PA1</b>	SMT	CMOS	GPIO
	<b>HBPWM22</b>		CMOS	HBPWM22 输出引脚
	<b>C1N2</b>	AN		CMP1 负端输入
	<b>C0N2</b>	AN		CMP0 负端输入
	<b>ADC2</b>	AN		ADC 通道 2
	<b>T0CKI</b>	SMT		Timer0 外部时钟输入引脚
	<b>T1CH12</b>			Timer1 的捕捉通道
	<b>TX</b>		CMOS	UART 的发送引脚
	<b>ICSPCLK</b>	SMT	CMOS	烧录器的时钟引脚
<b>PA2</b>	<b>PA2</b>	SMT	CMOS	GPIO
	<b>HBPWM23</b>		CMOS	HBPWM23 输出引脚
	<b>C1N4</b>	AN		CMP1 的负端引脚
	<b>C0OUT</b>		CMOS	CMP0 的输出引脚
	<b>T1CH11</b>	SMT		Timer1 的捕捉通道
	<b>FVROUT</b>	AN		FVR 的输出
	<b>RX</b>	SMT		UART 的接收引脚
	<b>TX_RX</b>		CMOS	UART 的单线半双工通信 IO 引脚
<b>PA3</b>	<b>PA3</b>	SMT	CMOS	OD
	<b>C1N5</b>	AN		CMP1 负端输入
	<b>T1CH9</b>	SMT		Timer1 的捕捉通道
	<b>VPP</b>	AN		烧录电压输入引脚
	<b>C1OUT</b>		CMOS	CMP1 的输出引脚
	<b>FVROUT</b>	AN		FVR 的输出
<b>PA4</b>	<b>PA4</b>	SMT	CMOS	GPIO
	<b>HBPWM24</b>	-	CMOS	HBPWM24 输出引脚
	<b>C0N4</b>	AN		CMP0 的负端引脚输入
	<b>T1CH8</b>	SMT	-	Timer1 的捕捉通道
<b>PA5</b>	<b>PA5</b>	SMT	CMOS	GPIO
	<b>HBPWM25</b>	-	CMOS	HBPWM25 输出引脚
	<b>C0N5</b>	AN		CMP0 的负端引脚输入
	<b>ADC12</b>	AN		ADC 通道 12
	<b>T1CH7</b>	SMT		Timer1 的捕捉通道
<b>PB0</b>	<b>PB0</b>	SMT	CMOS	GPIO
	<b>HBPWM25</b>	-	CMOS	HBPWM25 输出引脚
	<b>CKOE</b>		CMOS	系统时钟输出
	<b>C0P1</b>	AN	-	CMP0 的正端输入引脚
	<b>C1P1</b>	AN	-	CMP1 的正端输入引脚
	<b>ADC4</b>	AN		ADC 通道 4
<b>PB1</b>	<b>PB1</b>	SMT	CMOS	GPIO
	<b>HBPWM20</b>		CMOS	HBPWM20 输出
	<b>C1N1</b>	AN		CMP1 负端输入
	<b>C0N1</b>	AN		CMP0 负端输入
	<b>ADC5</b>	AN		ADC 通道 5



	<b>T1CH1</b>			Timer1 的捕捉通道
	<b>INT0</b>	SMT		外部中断输入 0
<b>PB2</b>	<b>PB2</b>	SMT	CMOS	GPIO
	<b>HBPWM24</b>		CMOS	HBPWM24 输出
	<b>C0P3</b>	AN		CMP0 正端输入
	<b>C1P3</b>	AN		CMP1 正端输入
	<b>ADC10</b>	AN		ADC 通道 10
<b>PB3</b>	<b>PB3</b>	SMT	CMOS	GPIO
	<b>HBPWM25</b>		CMOS	HBPWM25 输出
	<b>C0P5</b>	AN		CMP0 正端输入
	<b>C1P5</b>	AN		CMP1 正端输入
	<b>INT1</b>	SMT		外部中断输入 1
	<b>T1CH2</b>	SMT		Timer1 的捕捉通道
<b>PB4</b>	<b>PB4</b>	SMT	CMOS	GPIO
	<b>HBPWM24</b>		CMOS	HBPWM24 输出
	<b>C0P4</b>	AN		CMP0 正端输入
	<b>C1P4</b>	AN		CMP1 正端输入
	<b>INT2</b>	SMT		外部中断输入 2
	<b>T1CH3</b>	SMT		Timer1 的捕捉通道
<b>PB5</b>	<b>PB5</b>	SMT	CMOS	GPIO
	<b>HBPWM23</b>		CMOS	HBPWM23 输出
	<b>ADC6</b>	AN		ADC 通道 6
<b>PC0</b>	<b>PC0</b>	SMT	CMOS	GPIO
	<b>HBPWM20</b>		CMOS	HBPWM20 输出
	<b>C0N0</b>	AN		CMP0 负端输入
	<b>C1N0</b>	AN		CMP1 负端输入
	<b>ADC8</b>	AN		ADC 通道 8
	<b>T1CH6</b>	SMT		Timer1 的捕捉通道
	<b>RSTn</b>	SMT		外部复位输入引脚
	<b>TX</b>		CMOS	UART 的发送引脚
	<b>T3CGS0</b>	SMT		TIMER3 的门控引脚
<b>PC1</b>	<b>PC1</b>	SMT	CMOS	GPIO
	<b>HBPWM21</b>		CMOS	HBPWM21 输出
	<b>C0P0</b>	AN		CMP0 正端输入
	<b>C1P1</b>	AN		CMP1 正端输入
	<b>ADC7</b>	AN		ADC 通道 7
	<b>T1CH5</b>	SMT		Timer1 的捕捉通道
	<b>RX</b>	SMT		UART 的接收引脚
	<b>TX_RX</b>		CMOS	UART 的单线半双工通信 IO 引脚
	<b>T3CGS1</b>	SMT		TIMER3 的门控引脚
<b>PC2</b>	<b>PC2</b>	SMT	CMOS	GPIO
	<b>HBPWM22</b>		CMOS	HBPWM22 输出
	<b>T1CKI</b>	SMT		Timer1 外部时钟输入
	<b>T1CH4</b>	SMT		Timer1 的捕捉通道

<b>PC3</b>	<b>PC3</b>	SMT	CMOS	GPIO
	<b>HBPWM23</b>		CMOS	HBPWM23 输出
	<b>HBPWM20</b>		CMOS	HBPWM20 输出
	<b>ADC11</b>	SMT		ADC 通道 11
<b>PC4</b>	<b>PC4</b>	SMT	CMOS	GPIO
	<b>HBPWM21</b>		CMOS	HBPWM21 输出
	<b>HBPWM24</b>		CMOS	HBPWM24 输出
	<b>C0N3</b>	AN		CMP0 负端输入
	<b>C1N3</b>	AN		CMP1 负端输入
	<b>ADC9</b>	AN		ADC 通道 9
<b>PC5</b>	<b>PC5</b>	SMT	CMOS	GPIO
	<b>HBPWM22</b>		CMOS	HBPWM22 输出
	<b>HBPWM25</b>	-	CMOS	HBPWM25 输出引脚
	<b>C0P2</b>	AN		CMP0 正端输入
	<b>C1P2</b>	AN		CMP1 正端输入
	<b>ADC1</b>	AN		ADC 通道 1
<b>PC6</b>	<b>PC6</b>	SMT	CMOS	GPIO
	<b>T1CH10</b>	SMT		Timer1 的捕捉通道
	<b>ADC0</b>	AN		ADC 通道 0
<b>VDD</b>	<b>VDD</b>			供电电源
<b>GND</b>	<b>GND</b>			地

## 1.6 绝对最大额定值

表 1-2 绝对最大额定值

符号	描述	最小值	最大值	单位
VCC-VSS	电源电压	-0.3	+6.0	V
VIN	端口输入信号电压	VSS-0.3	VCC+0.3	V
I <sub>VCC</sub>	VCC 的最大电流	-	+100	mA
I <sub>VSS</sub>	VSS 的最大电流	-	-100	mA
T <sub>J</sub>	最大结温	-	+150	°C
T <sub>STG</sub>	存储温度范围	-55	+150	°C
T <sub>A</sub>	工作温度	-40	+85	°C
ESD	人体模式	2K	-	V

注：如果运行条件超过了上述“绝对最大额定值”，即可能对器件造成永久性损坏。上述值仅为运行条件的极大值，我们不建议器件运行在该规范范围以外。器件长时间工作在绝对极限参数条件下，其稳定性可能受到影响。

## 2 中央处理器

### 2.1 指令集

AD18E22X 具有一个支持 83 条内核指令的标准指令集。其中包含 8 条针对优化递归和软件堆栈代码的扩展指令。

### 2.2 程序存储

AD18E22X 包含一个 4K\*16 的 MTP 用于存储用户程序和数据。

AD18E22X 有两个中断向量。复位向量地址为 0000h, 中断向量地址为 0008h 和 0018h。

#### 2.2.1 程序计数器

程序计数器(Program Counter, PC), 指定要取出执行的指令地址。PC 内的地址为 16 位二进制数, 并且保存在 2 个独立的 8 位寄存器中。其中的低字节称为 PCL 寄存器, 该寄存器可读写; 高字节, 即 PCH 寄存器, 存储 PC<15:8>位, 不可直接读写。可以通过 PCLATH 寄存器更新 PCH 寄存器。

通过执行写 PCL 的操作, 可以将 PCLATH。类似的, 通过执行读 PCL 的操作, 可以将程序计数器的两个高字节传送到 PCLATH。

CALL, RCALL, GOTO 和程序转移指令直接写入程序计数器。对于这些指令, PCLATH 的内容将不会被传送到程序计数器。

#### 2.2.2 返回地址堆栈

用于存放返回地址的堆栈允许保存最多 8 个程序调用地址和中断向量。当执行 CALL 或 RCALL 指令或响应中断时, PC 值被压入堆栈。而执行 RETURN、RETLW 或 RETFIE 指令时, PC 值从堆栈弹出。PCLATH 不受 RETURN 或 CALL 指令的影响。

通过 12 位的 RAM 和 3 位的堆栈指针(STKPTR)来实现 8 级的堆栈操作。堆栈既不占用程序存储空间也不占用数据存储空间。堆栈指针可以读写, 并且通过栈顶的特殊文件寄存器可以读写栈顶地址。也可使用这些寄存器将数据压入堆栈, 或将数据从堆栈弹出。

执行 CALL 类型指令引起进栈操作: 堆栈指针首先加 1, 并且将 PC 的内容写入堆栈指针指向的地址单元(PC 已经指向 CALL 的下一条指令)。执行 RETURN 类型指令时, 引起出栈操作: STKPTR 寄存器所指向的地址单元的内容被传送给 PC, 然后堆栈指针减 1。

所有复位后, 堆栈指针被初始化 00000。堆栈指针值 00000 不指向任何 RAM 单元, 它只是一个复位值。状态表明堆栈是满、上溢还是下溢。

#### 2.2.3 栈顶访问

只有栈顶(Top-of-Stack, TOS)时可读写的。有 2 个寄存器 TOSH:TOSL 用于保存 STKPTR 寄存器所指向的堆栈单元的内容。这可以让用户在必要时实现软件堆栈。在 CALL、RCALL 或中断后, 软件可以通过读取 TOSH:TOSL 寄存器来读取进栈值。这些值可以被置入用户定义的软件堆栈。返回时, 软件将这些值存回 TOSH:TOSL 并执行返回。

为防止对堆栈的意外操作, 访问堆栈时用户必须禁止全局中断使能位。

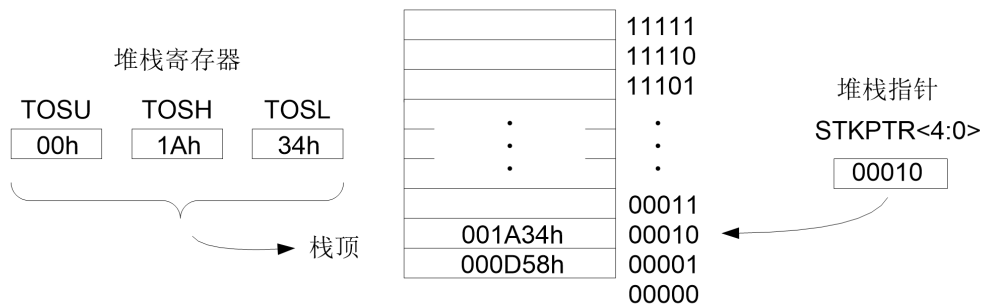


图 7 返回地址堆栈

## 2.2.4 返回堆栈指针(STKPTR)

STKPTR 寄存器包含堆栈指针值、STKFUL(堆栈满)状态位和 STKUNF(堆栈下溢)状态位。堆栈指针值可为 0 到 7 之间的整数。向堆栈压入值前，堆栈指针加 1；而从堆栈弹出值后，堆栈指针减 1。复位时，堆栈指针值为 0。用户可以读写堆栈指针的值。实时操作系统(Real-Time Operating System,RTOS)可以利用此特性对返回堆栈进行维护。

当向堆栈压入 PC 值 7 次(且没有值从堆栈弹出)后，STKFUL 位就会置 1。通过软件或 POR 清零。

堆栈满时执行的操作由 STVREN(堆栈上溢复位使能)配置位的状态决定。如果 STVREN 位已经置 1(默认)，第 7 次进栈将把(PC+2)值压入堆栈，将 STKFUL 位置 1，并复位器件。STKFUL 位将保持置 1，而堆栈指针将被清零。如果 STVREN 位被清零，第 7 次进栈时 STKFUL 位会被置 1，堆栈指针则加 1 变为 7。任何其他进栈操作都不会覆盖第 7 次进栈的值，并且 STKPTR 将保持 7。当堆栈弹出次数足够卸空堆栈时，下一次出栈会向 PC 返回一个零值，并将 STKUNF 位置 1，而堆栈指针则保持为 0。STKUNF 位将保持置 1，直到被软件清零或发生 POR。

### STKPTR 寄存器

地址:0XFFC

Bit	Name	Description	Attribute	Reset
7	STKFUL	堆栈满标志位 1: 堆栈满或上溢 0: 堆栈未满或未上溢	R	0
6	STKUNF	堆栈下溢标志位 1: 发生堆栈下溢 0: 未发生堆栈下溢	R	0
5:3	Reserved			
2:0	SP[2:0]	堆栈指针地址位	R/W	0

## 2.2.5 快速寄存器堆栈

为 Status、WREG 和 BSR 寄存器提供的快速寄存器堆栈具有从中断“快速返回”的功能。每个寄存器堆栈的深度仅为 1 级，并且不可读写。当处理器转入中断向量处执行指令时，此堆栈装入对应寄存器的当前

值。所有中断源都会将值压入堆栈寄存器。如果使用 RETFIE, FAST 指令从中断返回, 这些寄存器中的值会被重新装回对应的寄存器。

如果同时使能了低优先级中断和高优先级中断, 从低优先级中断返回时, 无法可靠地使用堆栈寄存器。如果在为低优先级中断提供服务时, 发生了高优先级中断, 则低优先级中断存储在堆栈寄存器中的值将被覆盖。在这种情况下, 用户必须在低优先级中断期间用软件保存关键寄存器的值。

如果未使用中断优先级, 所有中断都可以使用快速寄存器堆栈从中断返回。如果没有使用中断, 快速寄存器堆栈可以用于在子程序调用结束后恢复 Status、WREG 和 BSR 寄存器。要将快速寄存器堆栈用于子程序调用, 必须执行 CALL lable,FAST 指令将 Status、WREG 和 BSR 寄存器的内容存入快速寄存器堆栈。在调用结束后执行 RETURN,FAST 指令, 从快速寄存器堆栈中弹出并恢复这些寄存器的值。

## 2.2.6 程序存储器

为了读取程序存储器, AD18E22X 支持表读操作(TBLRD)。程序存储空间为 16 位宽, 而数据 RAM 空间为 8 位宽。表读通过一个 8 位寄存器(TABLAT)在这两个存储空间之间移动数据。

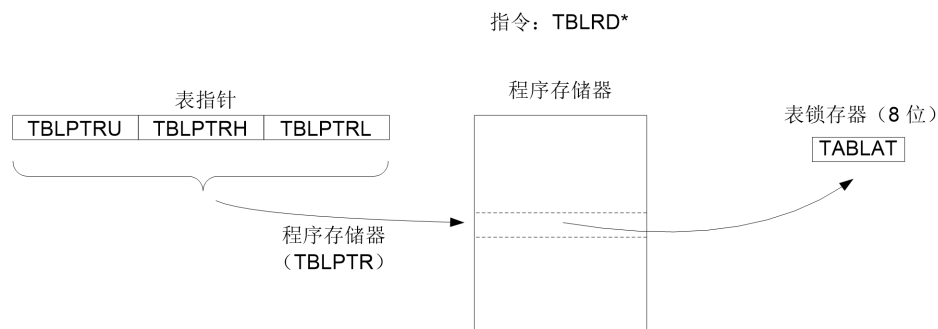


图 8 表读操作

表锁存器(Table Latch,TABLAT)是映射到 SFR 空间的一个 8 位寄存器。表锁存器用于在程序存储器和数据 RAM 之间传输数据时保存 8 位数据。

表指针(Table Pointer,TBLPTR)在程序存储器中寻址字节。TBLPTR 由 3 个 SFR 寄存器组成: 表指针最高字节、表指针次高字节和表指针低字节(TBLPTRH:TBLPTRL)。这 3 个寄存器合起来组成一个 21 位宽的指针。

## 2.3 数据存储器 RAM

AD18E22X 的数据存储器是用静态 RAM 实现的。存储空间包含 256 个字节;

数据存储器由特殊功能寄存器(SFR)和通用寄存器(General Purpose Register,GPR)组成。SFR 用于单片机和外设功能模块的控制和状态显示, 而 GPR 则用于在用户应用程序中存储数据和高速暂存操作。任何未使用单元的读取值均为 0。

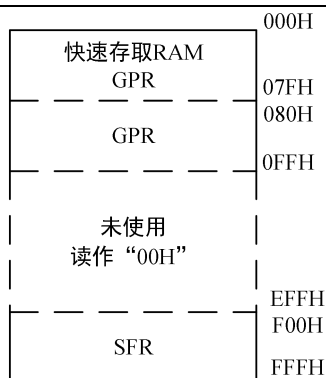


图 9 数据存储映射图

## 2.4 数据寻址方式

AD18E22X 支持 4 种寻址方式：

- 固有寻址
- 立即数寻址
- 直接寻址
- 间接寻址

### 2.4.1 固有和立即数寻址

很多 AD18E22X 控制指令根本不需要任何参数，执行这些指令要么对整个器件造成影响，要么仅针对一个寄存器进行操作。这种寻址模式就是固有寻址。例如 SLEEP、RESET 和 DAW 指令。

其他指令的工作方式与此类似但需要操作码中有直接的参数。由于需要一些立即数作为参数，这种寻址模式被称为立即数寻址。例如 ADDLW 和 MOVLW，它们分别将立即数移入 W 寄存器或从中移出。其他的立即数寻址指令，例如 CALL 和 GOTO，包括一个 16 位的程序存储器地址。

### 2.4.2 直接寻址

直接寻址在操作码中指定操作的全部或部分源地址和/或目标地址。此选项由指令附带的参数指定。

### 2.4.3 间接寻址

间接寻址允许用户访问数据存储器中的单元而不需要在指令给出一个固定的地址。这是通过使用文件选择寄存器(File Select Register,FSR)指向被读取或写入的单元实现的。由于 FSR 本身作为特殊功能寄存器位于 RAM 中，所以也可以在程序控制下直接对它们进行操作。这使得 FSR 对于在数据存储器中实现诸如表和数组等数据结构非常有用。

也可以使用间接指针操作(Indirect File Operand,INDF)进行间接寻址。这种操作允许自动递增、递减或偏移指针，从而自动控制指针的值。它通过循环提高代码执行效率。

#### 2.4.3.1 FSR 寄存器和 INDF 操作数

间接寻址的核心是三组寄存器：FSR0、FSR1 和 FSR2。每组寄存器都含有一对 8 位寄存器，FSRnH 和 FSRnL。FSRnH 寄存器的高四位未使用，所以每对 FSR 只保存一个 12 位二进制数，从而可以线性寻址整个数据存储空间。因此，FSR 寄存器对被用作数据存储器的地址指针。

间接寻址是通过一组间接指针操作数(从 INDF0 到 INDF2)完成的。这些操作数可以被看作“虚拟”寄存器：它们被映射到 SFR 空间中而不是通过物理方式实现的。对特定的 INDF 寄存器执行读或写操作实际上访问的是相应的 FSR 寄存器对。例如,读 INDF1 就是读 FSR1H:FSR1L 指向的地址单元中的数据。使用 INDF 寄存器作为操作数的指令实际上使用的是相应的 FSR 的内容,该内容为指向目标地址的指针。INDF 操作数只是使用指针的一种较方便的方法。

由于间接寻址使用完整的 12 位地址,因此没有必要进行数据 RAM 分区。因此 BSR 的当前内容和快速操作 RAM 位对于确定目标地址没有影响。

#### 2.4.3.2 FSR 寄存器和 POSTINC、POSTDEC、PREINC 以及 PLUSW

除了 INDF 操作数之外,每对 FSR 寄存器还有四个额外的间接操作数。和 INDF 一样,它们也是不能直接读写的“虚拟”寄存器。访问这些寄存器其实就是访问相关的 FSR 寄存器对,也是在其存储的数据所指向的地址单元上进行特定的操作。

- POSTDEC: 访问 FSR 值,然后自动将它减 1
- POSTINC: 访问 FSR 值,然后自动将它加 1
- PREINC: 将 FSR 的值加 1,然后在操作中使用该值
- PLUSW: 将 W 寄存器中带符号的值(从-127 到 128)与 FSR 寄存器中带符号的值相加,并在操作中使用得到的新值

在应用中使用 FSR 寄存器中的值(不会更改此值)访问 INDF 寄存器。同样,访问 PLUSW 寄存器是将 W 寄存器中的值作为 FSR 值的偏移量,该操作不会改变这两个寄存器中的值。访问其他虚拟寄存器会更改 FSR 寄存器的值。

用 POSTDEC、POSTINC 和 PREINC 对 FSR 进行操作会影响整对寄存器,也就是 FSRnL 寄存器从 FFh 到 00h 溢出并向 FSRnH 寄存器进位。但这些操作的结果不会更改 Status 寄存器中的标志位(如 Z、N 和 OV 等)。

PLUSW 寄存器可以用于在数据存储空间实现变址寻址。通过控制 W 寄存器中的值,用户可以访问相对当前指针地址有固定偏移量的地址单元。在某些应用中,该功能可以被用于在程序存储器内部实现某些非常有用的程序控制结构,如软件堆栈。

#### 2.4.3.3 通过 FSR 对其他 FSR 进行操作

在某些特殊情况下,间接寻址操作以其他 FSR 或虚拟寄存器作为寻址目标。例如,使用 FSR 指向一个虚拟寄存器会导致操作不成功。假设如下特殊情况:FSR0H:FSR0L 保存的是 INDF1 的地址 FE7H。尝试使用 INDF0 作为操作数读取 INDF1 的值,将返回 00H。尝试使用 INDF0 作为操作数写入 INDF1,将会导致执行一条 NOP。

另一方面,使用虚拟寄存器对一对 FSR 寄存器进行写操作可能会产生与预期不同的结果。在这些情形下,会将写入一对 FSR 寄存器,但 FSR 中的值不会有任何递增或递减。因此,写入 INDF2 或 POSTDEC2 时会把同样的值写入 FSR2H:FSR2L。



由于 FSR 是在 SFR 空间中映射的物理寄存器，所以可以通过直接寻址对它们进行操作。用户在使用这些寄存器时应该特别小心，尤其是在代码使用间接寻址的情况。

同样，通常允许通过间接寻址对所有其他的 SFR 进行操作。用户在进行此类操作时应该特别小心，以免更改设置从而影响器件操作。

## 2.5 配置选项

**注：不经过配置的配置字默认为“1”**

### 配置字 0

位	名称	说明
1:0	LVR[1:0]	LVR 电压选择  00: 2.0V 01: 2.4V 10: 2.6V 11: 2.8V
2	LVREN	LVR 使能选择 1: 允许使能 0: 禁止使能
3	SMT	电平选择位 1: 选择施密特 0: 选择 TTL 电平
4	FCPU	指令周期选择 1: 1 个指令周期为 4 个机器周期 0: 1 个指令为周期 2 个机器周期
7:5	FINTOSC[2:0]	内部 RC 振荡器频率选择  111: 1:1 分频 110: 1:2 分频 101: 1:4 分频 100: 1:8 分频 010: 1:16 分频 011: 1:16 分频 010 和 011 都为 16 分频



配置字 1

位	名称	说明
1:0	WDTPS[1:0]	看门狗溢出时间及上电复位时间选择 11: TWDT(no Prescaler)=31.5ms 10: TWDT(no Prescaler)=4.03ms 01: TWDT(no Prescaler)=246.56ms 00: TWDT(no Prescaler)=62.24ms
2	WDTPS[2]	上电复位延时时间选择(不需要使能 WDTE 或 WDTEN) 1: 按照 WDTPS[1:0]位配置的分频时间进行上电延时 0: 上电复位延时时间为 15 个时钟周期
3	WDTE	WDT 使能选择 1: 允许使能 WDT 0: 禁止使能 WDT
4	RESETE	外部复位使能 1: 使能外部复位功能 0: 屏蔽外部复位功能
6:5	DBGEN_UART[1:0]	UART 调试模式使能选择 00: 禁止 DEBUG_UART 调试 01: 使能 1M 的波特率进行 DEBUG_UART 调试 10: 使能 115200 的波特率进行 DEBUG_UART 调试 11: 使能 VPP 为高, 切换成 PA2 为 DEBUG_UART 调试, 波特率 115200
7	DBGEN_I2C	I2C 调试模式使能选择 1: 使能 DBGEN_I2C 调试 0: 禁止 DBGEN_I2C 调试

## 3 MTP

MTP 可以自编程的地址空间从 0000H 到 1FFFH。

MTP 写入电压为 VPP：9.5V，支持 100 次擦除写入。

### 3.1 MTP 程序存储器

MTP 程序存储器用来存放执行的程序指令。MTP 程序存储器可以存储数据，包含：数据，表格和中断入口，程序从 0X0000 地址开始，中断入口地址为 0x0008H 和 0X0018H，MTP 程序存储器最后 16 个地址空间是保留给系统使用的,如校验、ID 号等。AD18E22X 的存储空间为 4K\*16；MTP 存储器从地址“0x1FF0~0X1FFF”供系统使用，从“0x0001~0x0007”和“0x0008~0X0017”和“0x0019~0x1FEF”地址空间是用户的程序空间。

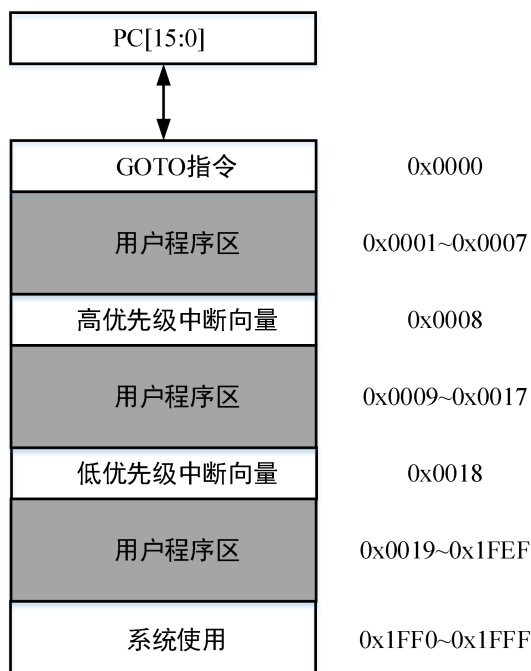


图 10 AD18E22X 存储器映射图

表 3-1 AD18E22X 程序存储器结构

地址	功能
0X0000	GOTO 指令
0X0001~0X0007	用户程序区
0X0008	中断高优先级入口地址
0X0009~0X0017	用户程序区
0X0018	中断低优先级入口地址
0X0019~0X1FEF	用户程序区
0X1FF0~0X1FFF	系统使用

## 4 系统时钟源

### 4.1 系统时钟相关寄存器

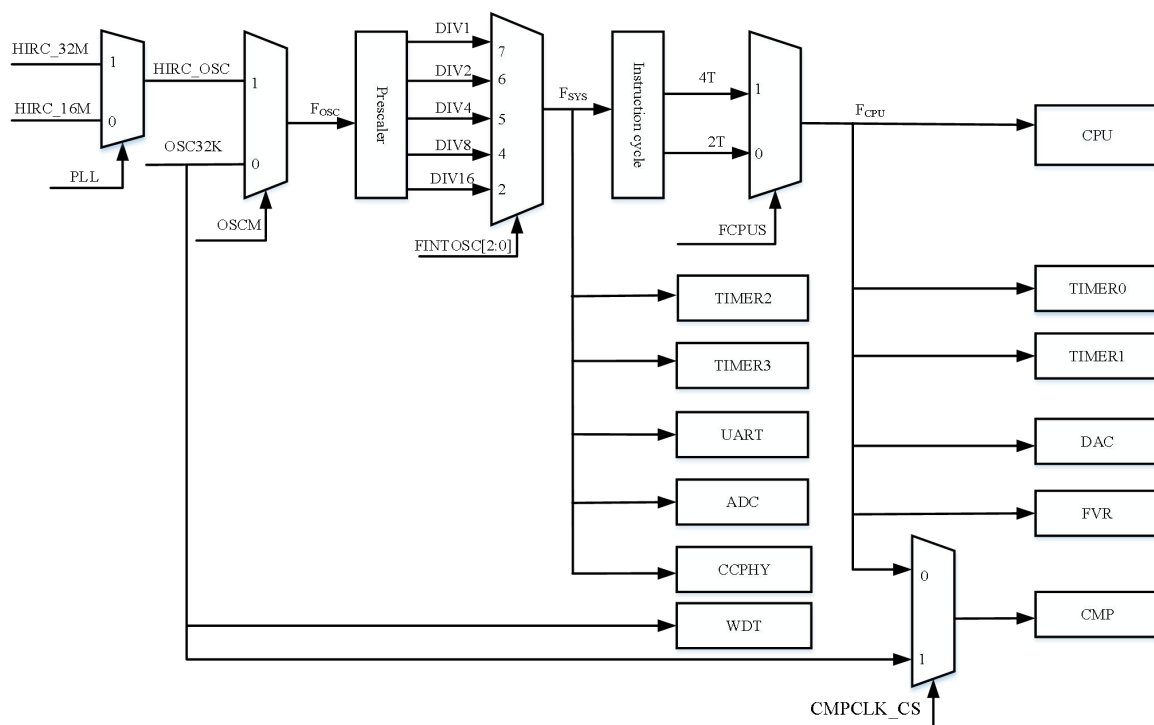


图 11 系统时钟结构图

#### OSCCON 寄存器

地址：0XFF0

Bit	Name	Description	Attribute	Reset
7	ICE_TMREN	SWD Timer 计数使能位(用于仿真器断点工作时控制 Timer 是否计数) 1: 允许使能 0: 禁止使能	R/W	0
6:4	FINTOSC	内部振荡器频率选择位 111: 1:1 分频 110: 1:2 分频 101: 1:4 分频 100: 1:8 分频 010: 1:16 分频 011: 1:16 分频 010 和 011 都为 16 分频	R/W	010
3	SIG	读取配置字中的校准信息 1: 读取配置字中的校准信息	R/W	0

		0: 禁止读取配置字中的校准信息 访问地址 0x00~0x1f		
2	CKOE	PB0 输出当前系统时钟 1: 使能系统时钟输出 0: 禁止系统时钟输出	R/W	0
1	OSCF	工作时钟状态位 1: 表示内部高速时钟工作(16MHz) 0: 表示内部低速时钟工作(32KHz)	R	0
0	OSCM	系统时钟选择 1: 选择内部高速时钟 16MHz 0: 选择内部低速时钟 32KHz	R/W	0

## PCON(寄存器)

地址: 0XFF1

Bit	Name	Description	Attribute	Reset
7	IPEN	高低优先级中断使能位 1: 允许高低优先级 0: 只允许高优先级中断	R/W	1
6	PLL	时钟倍频选择 1: 系统时钟为 32MHz 0: 系统时钟为 16MHz	R/W	0
5:4	Reserved			-
3:1	PREDIV[2:0]	WDT 分频 000: 1:1 001: 1:2 010: 1:3 011: 1:4 100: 1:5 101: 1:6 110: 1:7 111: 1:8	R/W	000
0	WDTEN	WDT 使能位: 1: 使能 WDT 0: 禁止 WDT	R/W	0

## 5 复位

AD18E22X 单片机能通过以下方式复位:

- 上电复位(POR)
- 掉电复位(BOR)
- 低电压复位
- 看门狗复位
- 非法指令复位
- 软件复位
- 外部管脚低电平复位
- 堆栈溢出复位

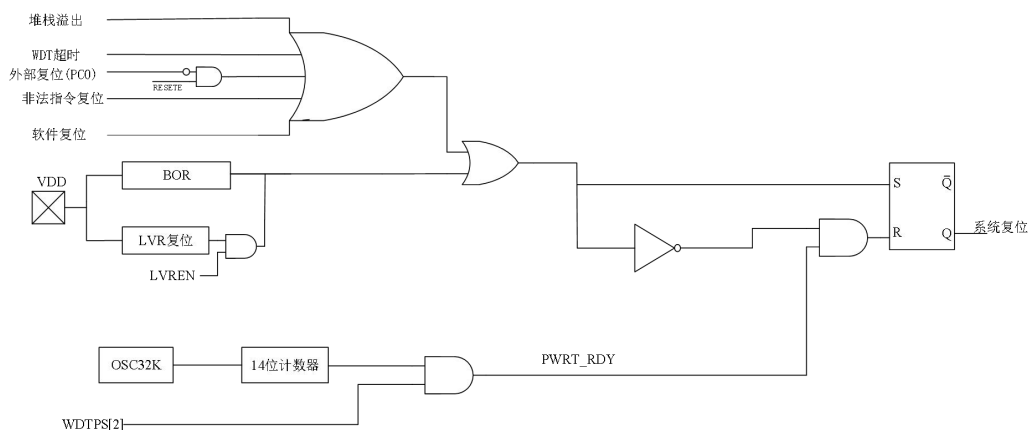


图 12 复位框图

### 5.1 初始化配置时序

表 5-1 初始化配置

名称	功能	默认
PWRT	上电延时定时器，初始化配置完成后额外延时 4.03ms/31.5ms/62.24ms/246.56ms	关闭

以上初始化配置，由 IDE 界面设置，不能通过指令修改，初始化配置过程：

- 1、CPU 空闲等待 0.5ms;
- 2、从非易失性存储器中加载初始化配置寄存器值，该过程 0.2ms。这些寄存器值由 IDE 预先设置，不受指令影响;
- 3、如果使能上电延时定时器(Power-On-Timer,PWRT)，CPU 将额外空闲等待时间通过配置字 1[2:0]选择;

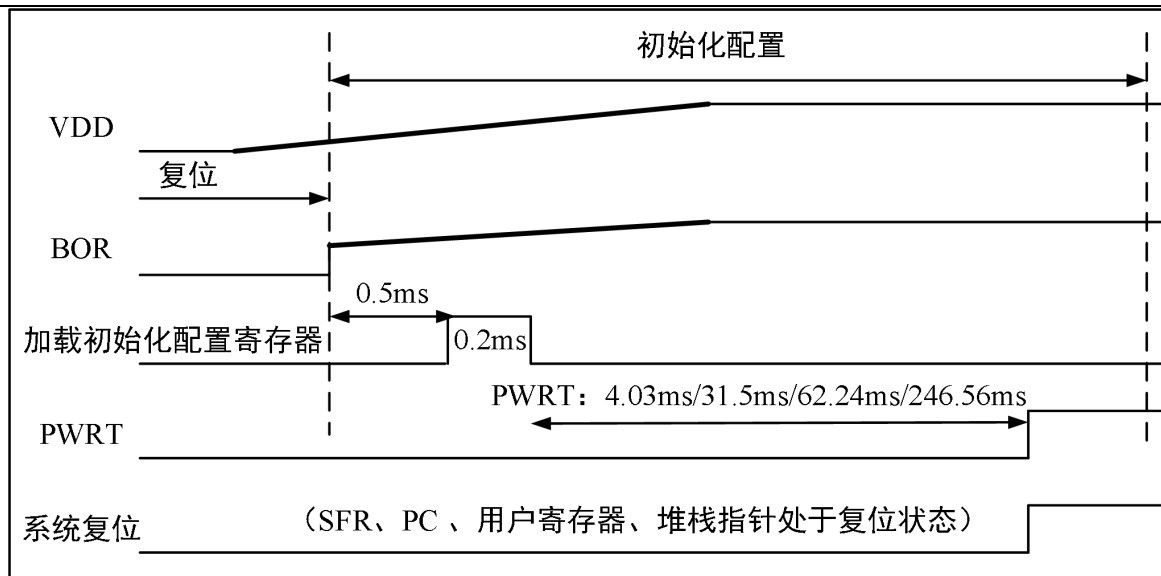


图 13 上电时序(PWRT 使能)

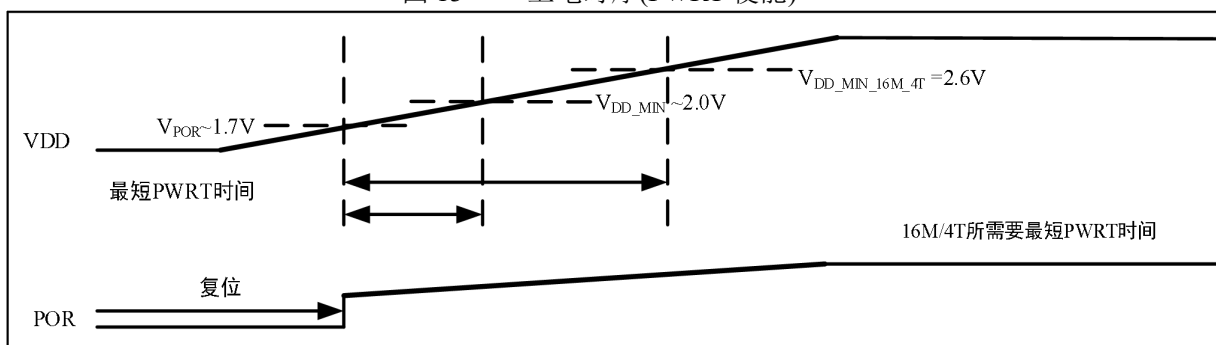


图 14 上电过程所需最小 PWRT 时间

如果 CPU 需要在 16MHz/4T 的速度下运行，那么在初始化配置结束时 VDD 必须高于 2.6V。通过使能 PWRT，可使初始化配置时间从 4.03ms、31.5ms、62.24ms、246.56ms 这四个之间选择其一，从而提高电源系统的稳定时间。

当以 16MHz/4T 的速度运行时，应使能 LVR 且设置  $LVR \geq 2.6V$ 。另外，可通过指令控制 LVR 使能的频率以不时地监测 VDD，而无需一直使能以降低功耗。

注意事项：

- 1、VDD 过程不可以太慢，外不建议 VDD 的电容  $CVDD \geq 22\mu F$ ；
- 2、VDD 电容值以 1 到  $10\mu F$  为佳。出于 EFT 性能考虑， $VDD < 1\mu F$  可能太小；
- 3、如果可以接受启动延时，那么建议使能 PWRT 以提高 CPU 的稳定性；

## 5.2 上电复位

片上的 POR 电路会将芯片保持在复位状态，直到 VDD 电源达到足够高。

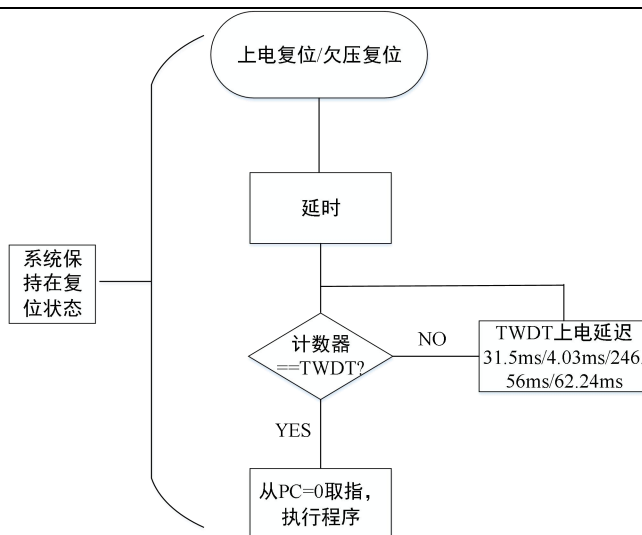


图 15 上电复位流程图

## 5.3 低电压复位

低电压复位由配置字 0 控制，当 LVREN 使能，电源电压在设定值以下时，芯片发生低电压复位，直到 VDD 到达设定值以上，解除复位状态。

## 5.4 上电复位延时

内置一个 14 位的上电复位定时器 PWRT，PWRT 提供延迟时间(该延迟时间由 WDTPS[1:0](配置字 1)设置，只要 PWRT 在运行，设备就处于复位状态)(基于不同的振荡源和复位条件)在 Power-on Reset(POR)，RSTn Reset 或看门狗溢出复位。VDD、温度和其他变化会影响设备延迟时间。

## 5.5 非法指令复位

IRFEN 使能，当 CPU 的指令寄存器取指非法指令(未定义的操作码)时，复位标志位 RSTF[1:0]=2'b11，同时系统将进行复位。利用此功能可增加系统的抗干扰能力。

## 5.6 软件复位

增强型内核实现了一条软件复位指令，助记符为 RESET，它提供了软件执行硬件的方法，复位标志位 RSTF[1:0]=2'b01。

## 5.7 外部管脚复位

配置 RESETE(配置字 1)使能外部管脚复位,复位引脚为 PC0，RSTn 为低电平时复位。

## 5.8 堆栈溢出复位

配置 STVREN(RCON)使能堆栈功能，溢出后复位。

PCON(寄存器)

地址：0XFF1

Bit	Name	Description	Attribute	Reset
7	IPEN	高低优先级中断使能位 1: 允许高低优先级	R/W	1

		0: 只允许高优先级中断		
6	PLL	时钟倍频选择 1: 系统时钟为 32MHz 0: 系统时钟为 16MHz	R/W	0
5:4	Reserved			-
3:1	PREDIV[2:0]	WDT 分频 000: 1:1 001: 1:2 010: 1:3 011: 1:4 100: 1:5 101: 1:6 110: 1:7 111: 1:8	R/W	000
0	WDTEN	WDT 使能位 1: 使能 WDT 0: 禁止 WDT	R/W	0

## RCON(寄存器)

地址: 0XFD2

Bit	Name	Description	Attribute	Reset
7	IRFEN	非法指令复位使能位 1: 使能非法指令复位 0: 禁止非法指令复位	R/W	0
6	STVREN	堆栈溢出复位使能 1: 允许使能 0: 禁止使能	R/W	0
5:4	RSTF[1:0]	复位标志位 00: 未发生复位 01: 软件指令复位 10: 表示发生堆栈复位 11: 表示发生非法指令复位	R/W	00
3	TO	看门狗超时标志位 1: 通过上电、CLRWDT 指令或 SLEEP 指令置 1	R/W	1



		0: 发生了 WDT 溢出		
2	PD	掉电检测标志位 1: 通过上电或 CLRWDT 指令置 1 0: 通过执行 SLEEP 指令置 0	R/W	1
1	POR	上电复位状态位 1: 未发生上电复位 0: 已发生上电复位(必须在上电复位后由软件置 1)	R/W	0
0	BOR	掉电复位状态位 1: 未发生掉电复位 0: 已发生掉电复位(必须在掉电复位后由软件置 1)	R/W	0

## 6 I/O 端口

PortA、PortB 和 PortC 为双向三态 I/O 口。所有 I/O 的输入/输出方式由 I/O 控制寄存器(TRISA、TRISB 和 TRISC)设置。PB 和 PC 有相应的上拉控制位(上拉寄存器)来设置使能内部上拉，如果设置为输出模式，内部上拉功能会自动关闭。PA 口不仅有上拉控制寄存器（除 PA3），还有下拉控制寄存器和开漏控制寄存器，可配置为开漏输出。如果设置为输出模式，内部下拉功能不会自动关闭，需要自行关闭。PA 口设置有施密特触发输入缓冲器，以及施密特选择位(施密特寄存器)控制施密特电平。

### 6.1 IO 工作模式

#### 6.1.1 PA 口

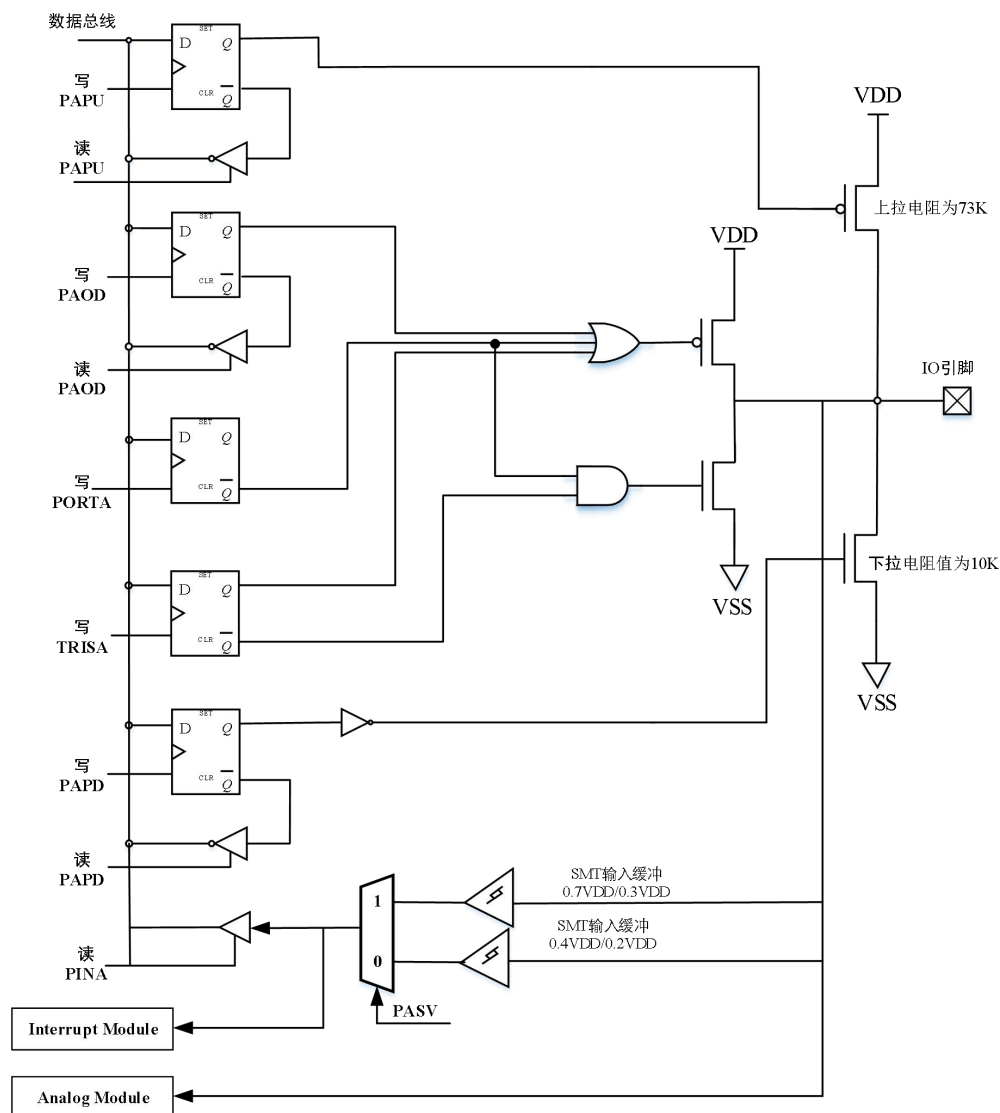


图 16 PA0 和 PA1 口结构图

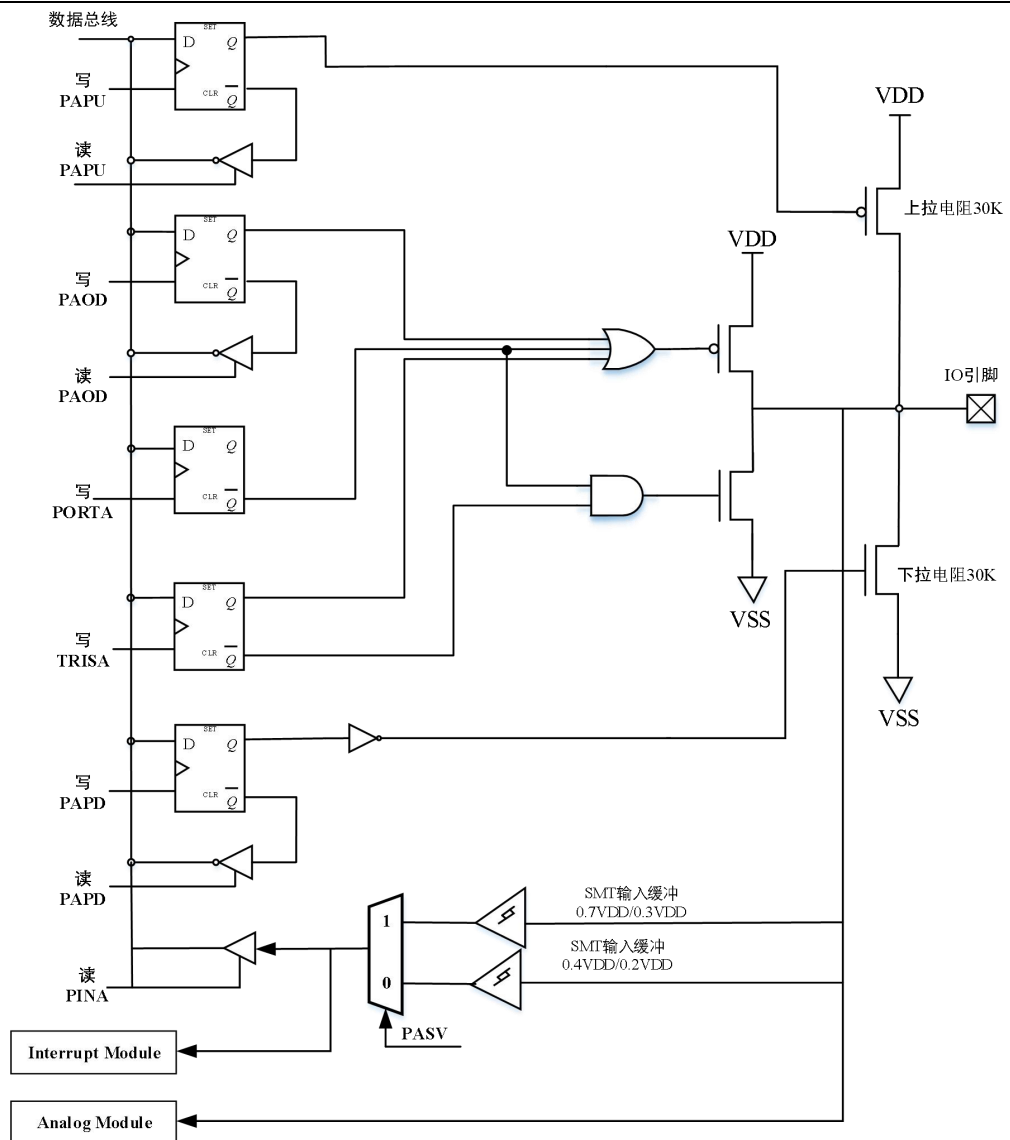


图 17 PA2 结构图

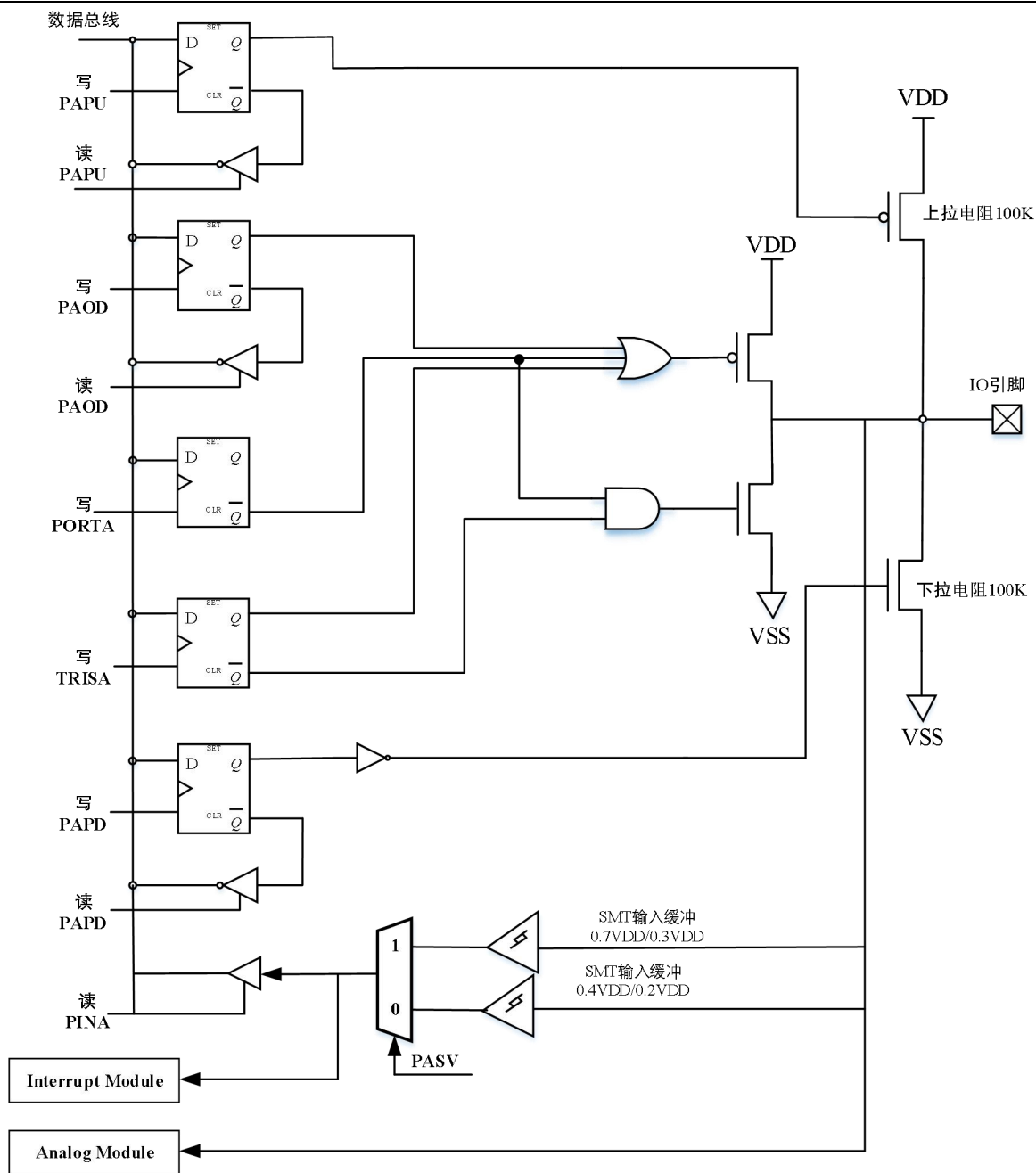


图 18 PA4、PA5 的结构图

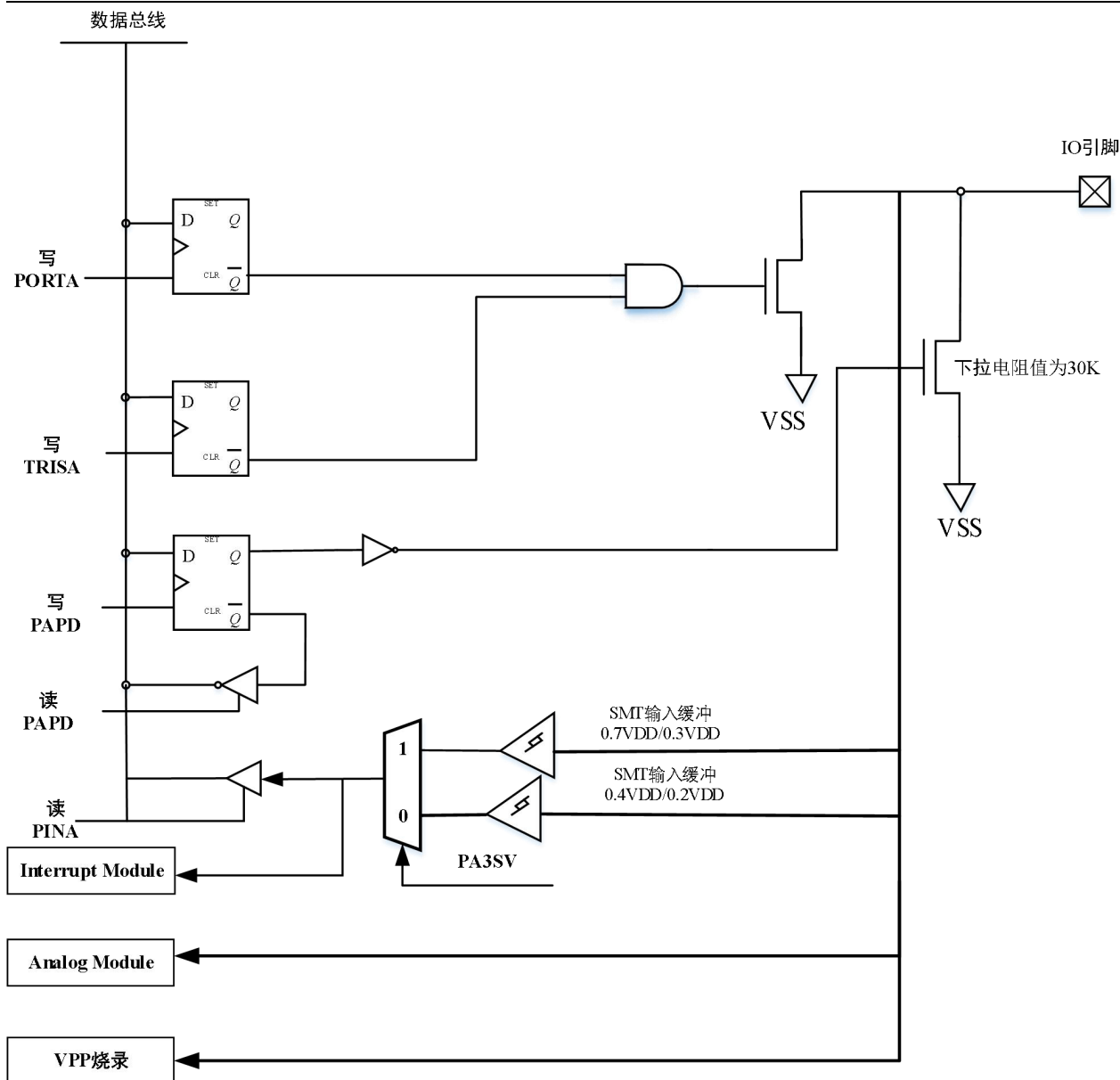


图 19 PA3 结构图

注：PA3 为开漏口，在上电、复位和睡眠状态可能存在漏电行为，需要外部应用电路对其 IO 进行上拉或者下拉；

## PORTA(Port 寄存器)

地址：0XF80

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	PORTA[5:0]	输出模式下，PA 口输出控制 1：输出高电平 0：输出低电平	R/W	0x00

## TRISA(I/O 口方向控制寄存器)

地址：0XF89

Bit	Name	Description	Attribute	Reset
-----	------	-------------	-----------	-------

7:6	Reserved			
5:0	TRISA[5:0]	PA 口的数据方向控制选择 1: IO 的输入模式 0: IO 的输出模式	R/W	0x3F

## PINA(数据锁存寄存器)

地址: 0XF86

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	PINA[5:0]	读: 读取当前 IO 状态(读 SMT 输出) 写: 写入 PORTA 寄存器;	R/W	0x00

## PAPD(I/O 下拉控制寄存器)

地址: 0XF94

Bit	Name	Description	Attribute	Reset
7	Reserved			
6	PC6PD	PC6 的下拉使能位选择 1: 关闭内部下拉 0: 使能内部下拉 内置下拉电阻为 1K;	R/W	1
5:0	PAnPD[5:0]	PA 口下拉使能位选择 1: 关闭内部下拉 0: 使能内部下拉 PA0、PA1 的下拉电阻为 10K PA2、PA3 的下拉电阻为 30K PA4、PA5 的下拉电阻为 100K	R/W	0x3F

## PAPU(I/O 上拉控制寄存器)

地址: 0XF83

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:4	PAnPU[5:4]	PA 口上拉使能位选择 1: 关闭内部上拉 0: 使能内部上拉 PA4、PA5 的上拉电阻为 100K	R/W	11
3	Reserved			
2:0	PAnPU[2:0]	PA 口上拉使能位选择 1: 关闭内部上拉	R/W	111

		0: 使能内部上拉		
--	--	-----------	--	--

**PAOD(I/O 开漏控制寄存器)**

地址: 0XF92

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:4	PAnOD[5:4]	PA 口的开漏选择 1: 使能内部开漏 0: 关闭内部开漏	R/W	00
3	Reserved			
2:0	PAnOD[2:0]	PA 口的开漏选择 1: 使能内部开漏 0: 关闭内部开漏	R/W	000

**PAINTMASK(PortA 端口电平变化中断掩膜位)**

地址: 0XF8F

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	PAXMASK[5:0]	PA 口的中断控制位 1: 使能 PortA 端口电平变化中断允许位 0: 禁止 PortA 端口电平变化中断允许位	R/W	0x00

**PASV(PA 口施密特寄存器)**

地址: 0XF93

Bit	Name	Description	Attribute	Reset
7	Reserved			
6	PC1SMT	PC1 口施密特选择 1: $0.3 \times VDD / 0.7 \times VDD$ (IO 低电平变为高电平时为 $0.7 \times VDD$ , 高电平变为低电平时为 $0.3 \times VDD$ ) 0: $0.2 \times VDD / 0.4 \times VDD$ (IO 低电平变为高电平时为 $0.4 \times VDD$ , 高电平变为低电平时为 $0.2 \times VDD$ )	R/W	1
5:0	SMTA[5:0]	PA 口施密特选择 1: $0.3 \times VDD / 0.7 \times VDD$ (IO 低电平变为高电平时为 $0.7 \times VDD$ , 高电平变为低电平时为 $0.3 \times VDD$ ) 0: $0.2 \times VDD / 0.4 \times VDD$ (IO 低电平变为高电平时为 $0.4 \times VDD$ , 高电平变为低电平时为 $0.2 \times VDD$ )	R/W	0X3F

## 6.1.2 PB 口

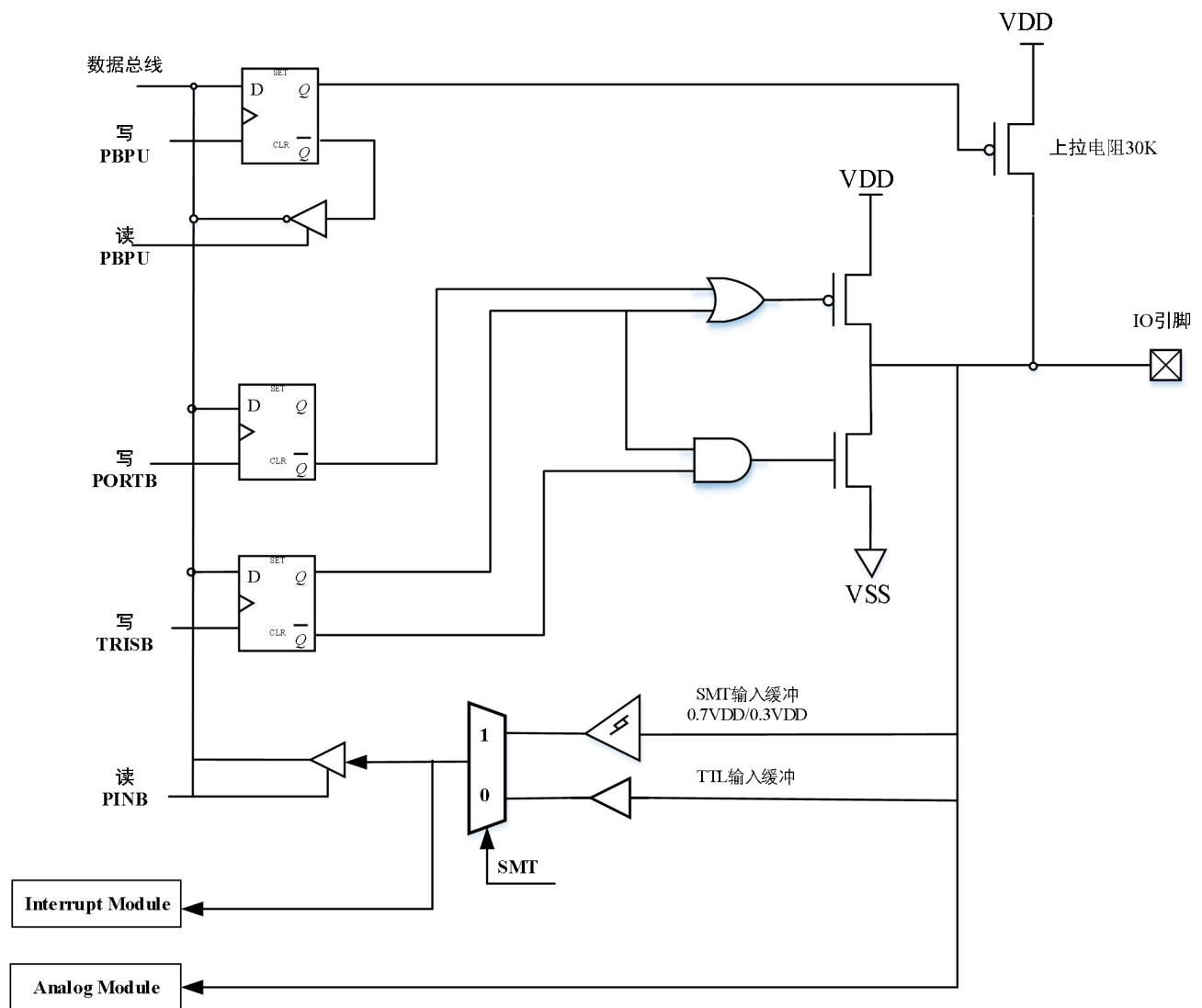


图 20 PB 口结构图

### PORTB(Port 寄存器)

地址: 0XF81

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	PORTB[5:0]	输出模式下，PB 口输出控制 1: 输出高电平 0: 输出低电平	R/W	0x00

### TRISB(I/O 口方向控制寄存器)

地址: 0XF8A

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	TRISB[5:0]	PB 口的数据方向控制选择	R/W	0x3F



		1: IO 的输入模式 0: IO 的输出模式		
--	--	----------------------------	--	--

## PINB(数据锁存寄存器)

地址: 0XF87

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	PINB[5:0]	读: 读取当前 IO 状态(读 SMT 输出) 写: 写入 PORTB 寄存器;	R/W	0x00

## PBPU(I/O 上拉控制寄存器)

地址: 0XF84

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	PBnPU[5:0]	PB 口上拉使能位选择 1: 关闭内部上拉 0: 使能内部上拉 PB 口的上拉电阻为 30K	R/W	0x3F

## PBINTMASK(PortB 端口电平变化中断掩膜位)

地址: 0XF90

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:0	PBxMASK[5:0]	PB 口的中断控制位 1: 使能 PortB 端口电平变化中断允许位 0: 禁止 PortB 端口电平变化中断允许位	R/W	0x00

## 6.1.3 PC 口

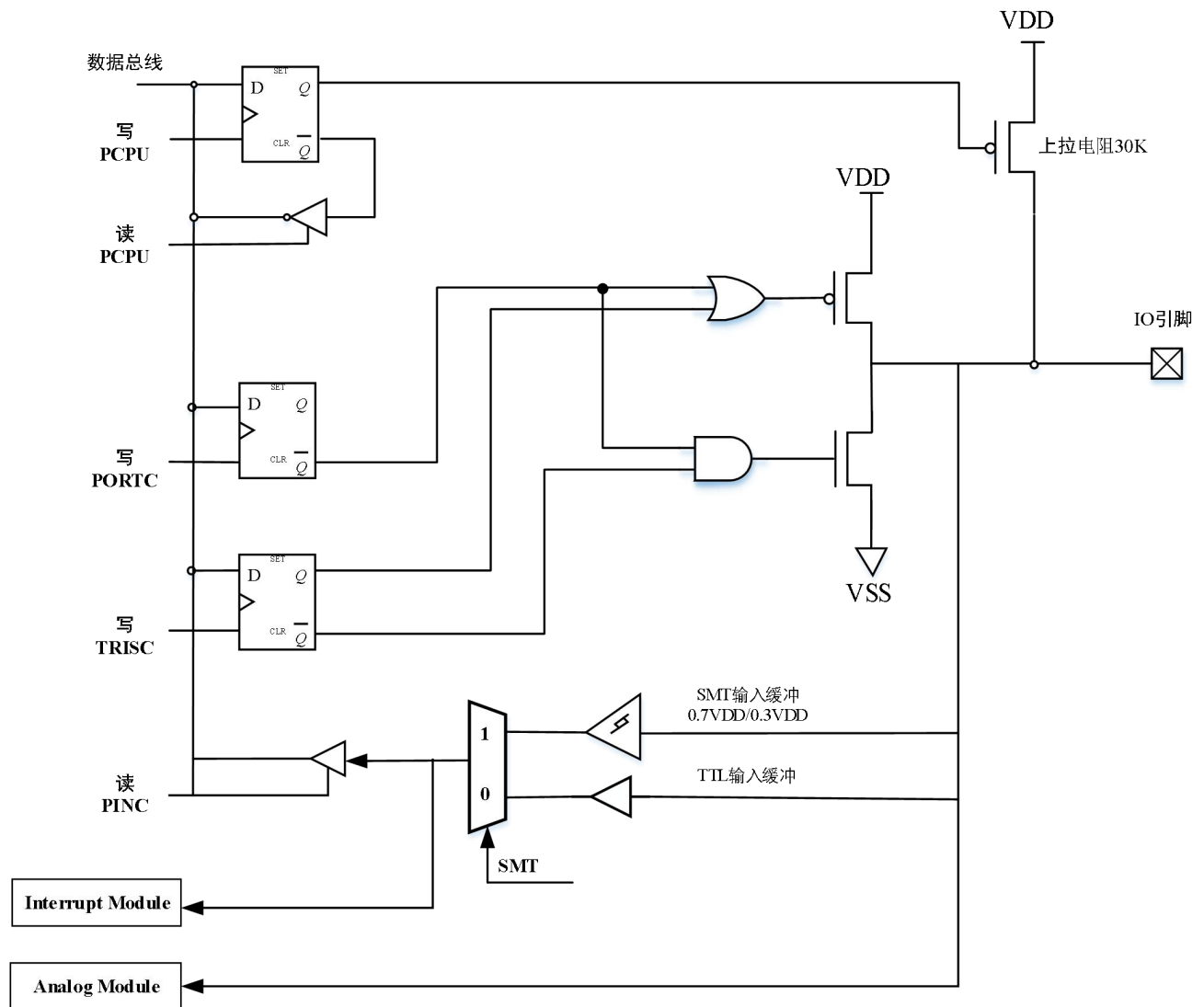


图 21 PC 口结构图

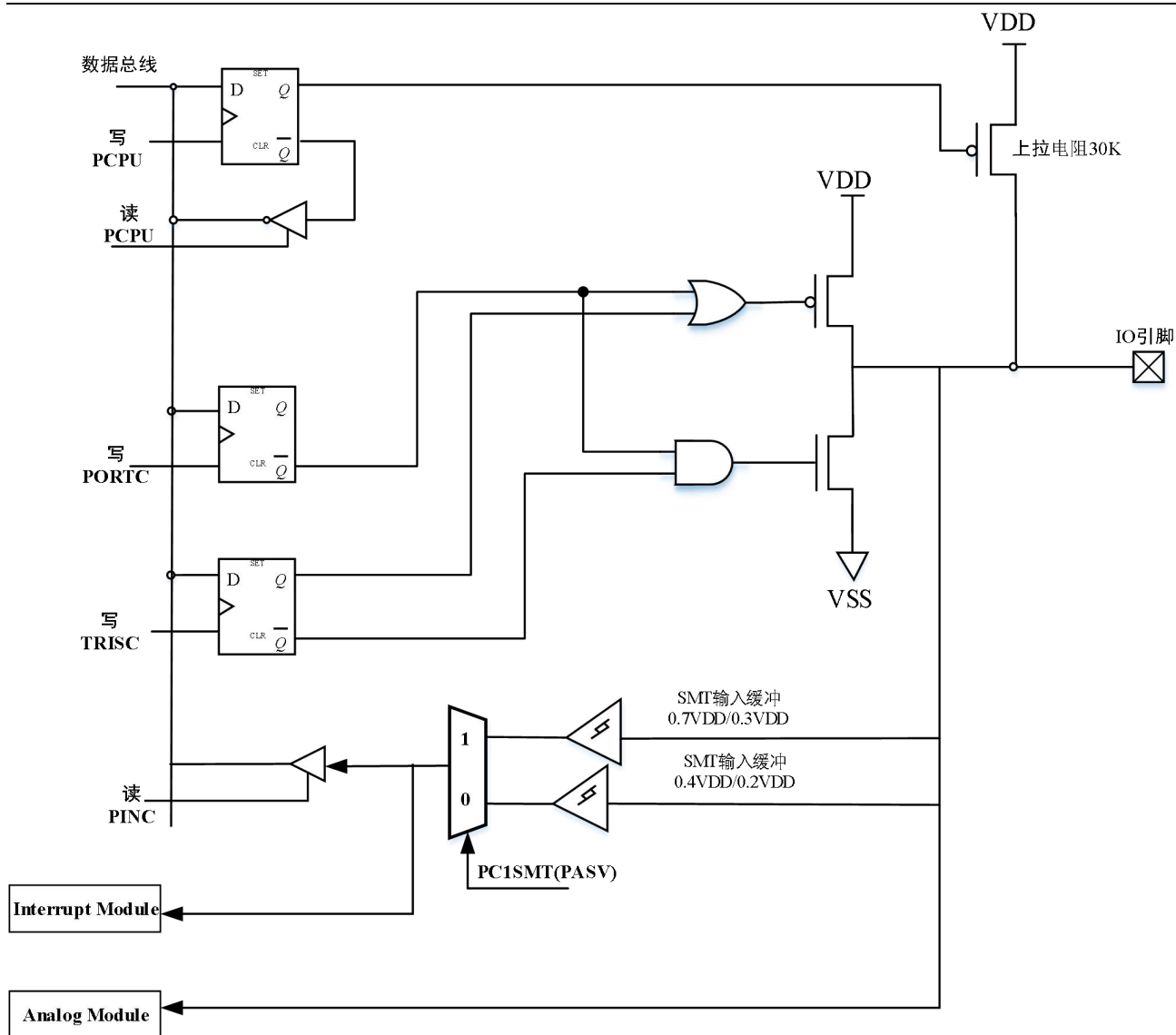


图 22 PC1 结构图

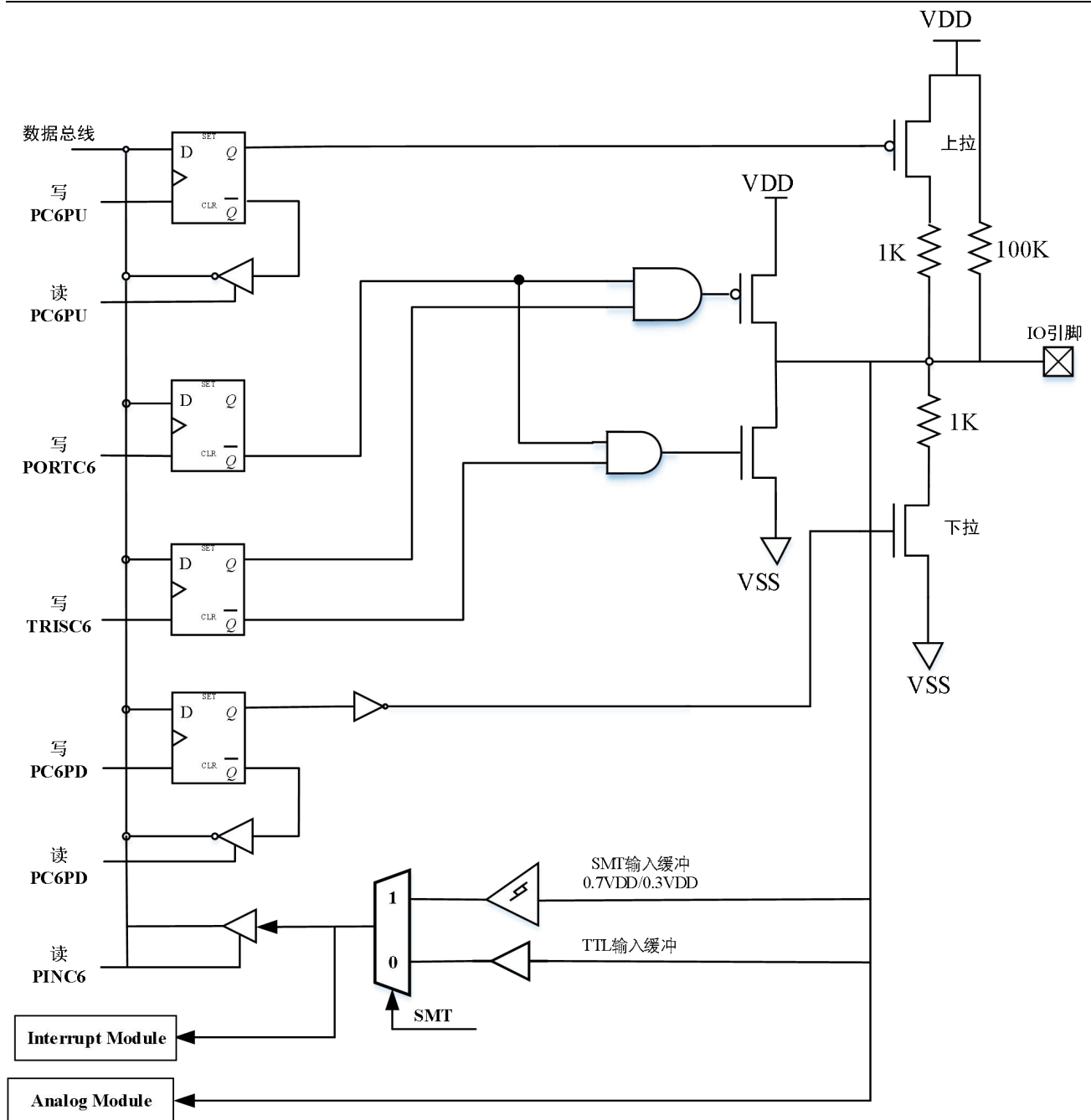


图 23 PC6 结构图

注意事项：

PC6 控制 PMOS 时需要设置成输入模式，通过控制上下拉电阻 1K 实现 PMOS 开关，减少 PMOS 开关导致电源电压过充现象；

**PORTC(Port 寄存器)**

地址：0XF82

Bit	Name	Description	Attribute	Reset
7	Reserved			
6:0	PORTC[6:0]	输出模式下，PC 口输出控制 1：输出高电平	R/W	0x00

		0: 输出低电平		
--	--	----------	--	--

## TRISC(I/O 口方向控制寄存器)

地址: 0XF8B

Bit	Name	Description	Attribute	Reset
7	Reserved			
6:0	TRISC[6:0]	PC 口的数据方向控制选择 1: IO 的输入模式 0: IO 的输出模式	R/W	0x7F

## PINC(数据锁存寄存器)

地址: 0XF88

Bit	Name	Description	Attribute	Reset
7	Reserved			
6:0	PINC[6:0]	读: 读取当前 IO 状态(读 SMT 输出) 写: 写入 PORTC 寄存器;	R/W	0x00

## PCPU(I/O 上拉控制寄存器)

地址: 0XF95

Bit	Name	Description	Attribute	Reset
7	Reserved			
6:0	PCnPU[6:0]	PC 口上拉使能位选择 1: 关闭内部上拉 0: 使能内部上拉 1、PC0~PC5 的上拉电阻为 30K 2、PC6 上拉默认打开, 内置 1K 和 100K 上拉电阻	R/W	0x3F

## PCINTMASK(PortC 端口电平变化中断掩膜位)

地址: 0XF91

Bit	Name	Description	Attribute	Reset
7	Reserved			
6:0	PCxMASK[6:0]	PC 口的中断控制位 1: 使能 PortC 端口电平变化中断允许位 0: 禁止 PortC 端口电平变化中断允许位	R/W	0x00

## IOCUR(IO 的驱动电流寄存器)

地址: 0XFB6

Bit	Name	Description	Attribute	Reset
7	IOCUR7	IO 口的 SINK 电流档位选择 1: 30mA	R/W	0

		0: 10mA 支持的 IO 为: PC2 SINK 电流档位选择的条件是 VDD=3.3V		
6	IOCUR6	IO 口的 SINK 电流档位选择 1: 30mA 0: 10mA 支持的 IO 为: PC0、PC1 SINK 电流档位选择的条件是 VDD=3.3V	R/W	0
5	IOCUR5	IO 口的 SINK 电流档位选择 1: 30mA 0: 10mA 支持的 IO 为: PA4、PA5 SINK 电流档位选择的条件是 VDD=3.3V	R/W	0
4	IOCUR4	IO 口的 SINK 电流档位选择 1: 30mA 0: 10mA 支持的 IO 为: PC6、PA3 SINK 电流档位选择的条件是 VDD=3.3V	R/W	0
3	IOCUR3	IO 口的 SINK 电流档位选择 1: 30mA 0: 10mA 支持的 IO 为: PA1、PA2 SINK 电流档位选择的条件是 VDD=3.3V	R/W	0
2	IOCUR2	IO 口的 SINK 电流档位选择 1: 30mA 0: 10mA 支持的 IO 为: PB1、PA0 SINK 电流档位选择的条件是 VDD=3.3V	R/W	0
1	IOCUR1	IO 口的 SINK 电流档位选择 1: 30mA 0: 10mA 支持的 IO 为: PB2、PB0 SINK 电流档位选择的条件是 VDD=3.3V	R/W	0

0	IOCUR0	<p>IO 口的 SINK 电流档位选择</p> <p>1: 30mA</p> <p>0: 10mA</p> <p>支持的 IO 为: PC3、PC4、PC5、PB3、PB4、PB5</p> <p>SINK 电流档位选择的条件是 VDD=3.3V</p>	R/W	0
---	--------	---	-----	---

## 7 定时器

### 7.1 Timer0/Prescaler/BUZZER

TMR0 是一个 8 位定时/计数器寄存器，Timer0 的时钟源可来自于指令周期、外部实时钟(T0CKI)、内部 OSC32K 时钟源、比较器 CMP0 的输出，由 T0CON 的 T0CS0、T0CS1 共同决定。

定时模式：使用内部时钟，设置 TMR0 寄存器和 PR0 寄存器以后，定时器在两个时钟周期后开始自增，在没有预置器的情况下，每个指令周期加 1。

计数模式：通过 T0CKI(由 T0SE 位(T0CON<4>)决定上升下降触发)、OSC32K 时钟触发 Timer0 寄存器的计数，在没有预置器的情况下，外部时钟输入也可以作为预置器输出；T0CKI 与内部时钟同步时能方便处理在 T2 和 T4 周期上的预分频，因此 T0CKI 为高或低电平必须要保持两个以上时钟周期才有效。

Timer0 不能自动装载，定时时间需要在中断中手动装载设定的 TMR0 初值；

#### 7.1.1 Prescaler

有一个 8 位的向上计数器作为 Timer 的预置器。注意该预置器只能分配给 Timer0 使用。当作为 Timer0 的预置器的时候，TMR0 会被预置器清零。

注：4T 模式下定时： $Time=(PR0+1)*\{PS2:PS0\}*4/F_{sys}$ ；//TMR0 的初值为 0 时

$Time=(0XFF-[TMR0]+1)*\{PS2:PS0\}*4/F_{sys}$ ；//TMR0 设定初值

2T 模式下定时： $Time=(PR0+1)*\{PS2:PS0\}*2/F_{sys}$ ；//TMR0 的初值为 0 时

$Time=(0XFF-[TMR0]+1)*\{PS2:PS0\}*2/F_{sys}$ ；//TMR0 设定初值

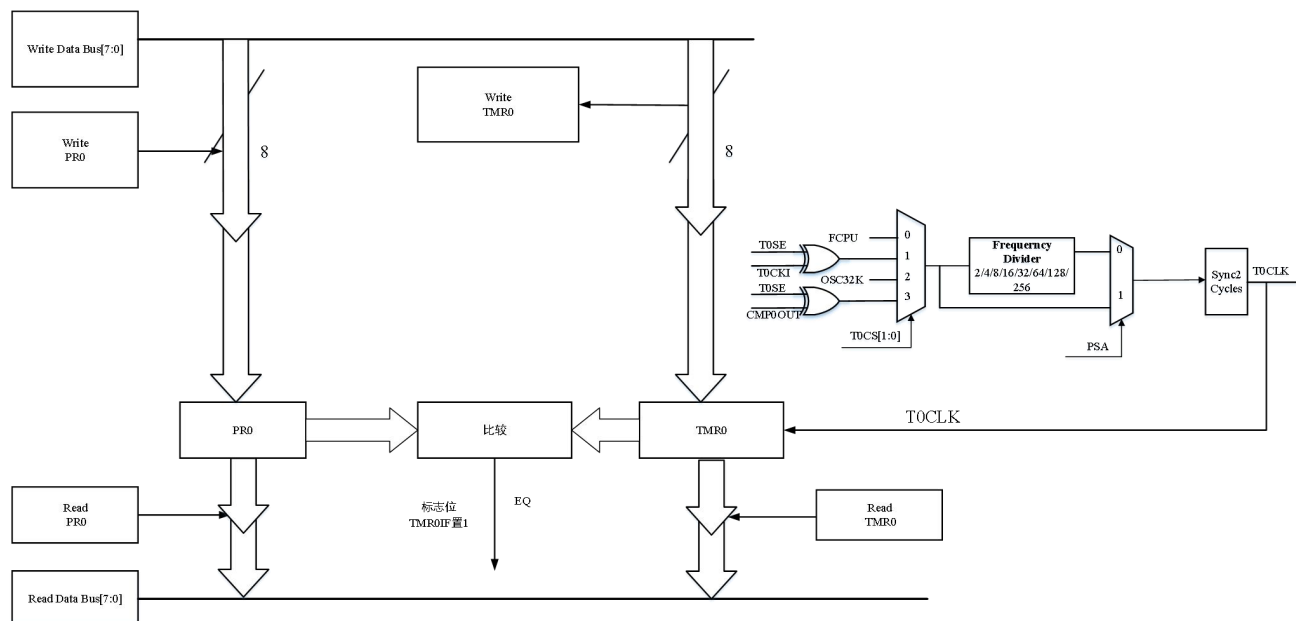


图 24 Timer0 结构图

#### 7.1.2 BUZZER

Buzzer 输出是一个简单的 1/2 占空比信号输出，由 Timer0 产生。当 TMR0 溢出时，Buzzer 开始输出一个方波，中断间隔时间频率 2 分频后作为 Buzzer 输出的频率。



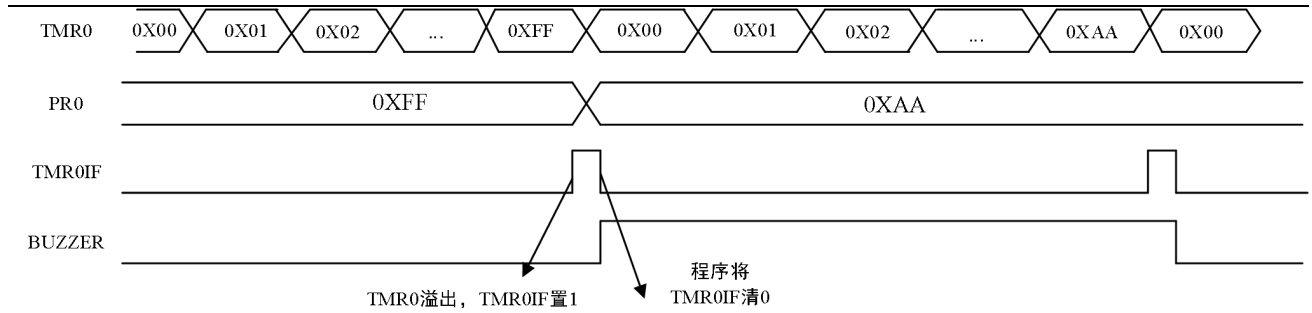


图 25 BUZZEE 时序图

## PR0(Timer0 的周期寄存器)

地址: 0XFD6

Bit	Name	Description	Attribute	Reset
7:0	PR0[7:0]	TMR0 周期寄存器	R/W	0XFF

## TMR0(定时/计数器)

地址: 0XFD5

Bit	Name	Description	Attribute	Reset
7:0	TMR0[7:0]	8 位定时/计数器	R/W	0X00

## T0CON(Timer0 控制寄存器)

地址: 0XFD7

Bit	Name	Description	Attribute	Reset
7	T0OUT	输出 BUZZEE 1: 启动 BUZZEE 模式(PA0) 0: 禁止 BUZZEE 模式	R/W	0
6:5	T0CS[1:0]	Timer0 的时钟源选择 00: TMR0 时钟源为 CPU 运行时钟 01: TMR0 时钟源为 T0CKI(PA1) 10: TMR0 时钟源为内部 32K 11: TMR0 时钟源是 CMP0OUT 输出	R/W	11
4	T0SE	Timer0 触发方式控制位 1: T0CKI 脚下降沿触发计数 0: T0CKI 脚上升沿触发计数	R/W	1
3	PSA	Timer0 的时钟分频使能 1: 使能 Timer0 的时钟且不分频; 0: 使能 Timer0 的时钟源分频;	R/W	1
2:0	PS[2:0]	分频率选择控制位 000 1:2 001 1:4 010 1:8	R/W	111

		011	1:16		
		100	1:32		
		101	1:64		
		110	1:128		
		111	1:256		

在 4T 和 2T 模式下，T0CKI 的时钟选择必须小于  $F_{CPU}/8$ ;

## 7.2 TIMER1 16 位定时/计数和捕捉

### 7.2.1 Timer1 的定时计数

Timer1 为 16 位定时/计数器，时钟源可以是外部时钟源(TICKI)、内部 32K 时钟、CMP1 的输出等，并且支持定时/计数工作模式、捕捉模式。其内部拥有写入缓冲区，当溢出时，自动从写入缓冲区装载到 Timer1 计数器作为初值(并自动重载写入缓冲区数值)，然后每个 Timer1 时钟周期，计数递增。

写入 16 位初值时，首先写入 TMR1H 寄存器，然后写入 TMR1L，此时硬件自动将写入缓冲区值重载到 Timer1 的计数器中；当读取 TMR1L 时，自动将当前 TIMER1[15:8]的计数值锁存到 TMR1H 寄存器，保证读取时间准确。

Timer1 支持不同模式的捕捉和 ADC 的自启动功能；

注：4T 模式下定时：

$Time = (0xFFFF - [TMR1] + 1) * \{TICKPS1:TICKPS0\} * 4 / F_{sys}$ ；//TMR1 的初值为设定值

$Time = (PR1 + 1) * \{TICKPS1:TICKPS0\} * 4 / F_{sys}$ ；//TMR1 的初值为 0 时

2T 模式下定时：

$Time = (0xFFFF - [TMR1] + 1) * \{TICKPS1:TICKPS0\} * 2 / F_{sys}$ ；//TMR1 的初值为设定值

$Time = (PR1 + 1) * \{TICKPS1:TICKPS0\} * 2 / F_{sys}$ ；//TMR1 的初值为 0 时

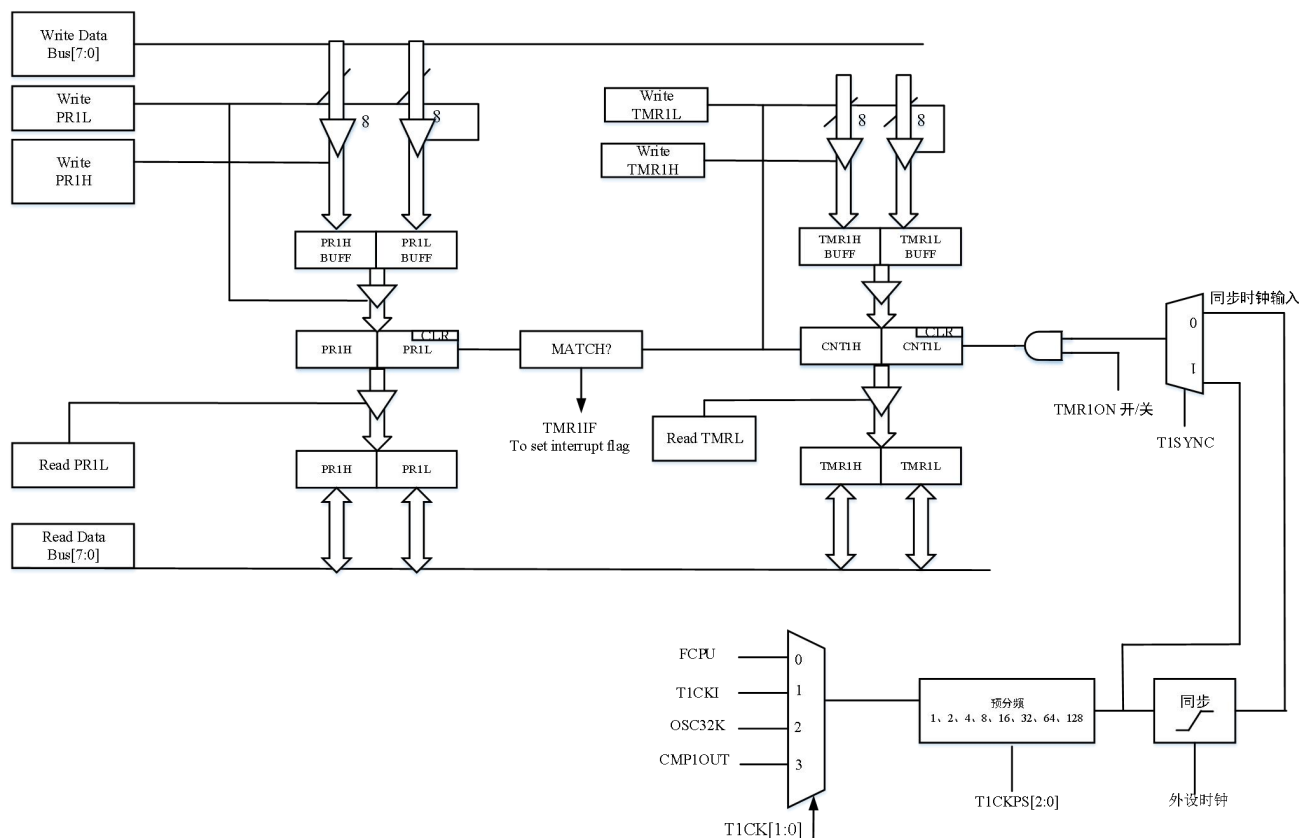


图 26 Timer1 模块结构图

注：PR1HBUFF、PR1LBUFF、TMR1HBUFF、TMR1LBUFF 是 Timer1 的内部寄存器。

## 7.2.2 Timer1 捕捉模式

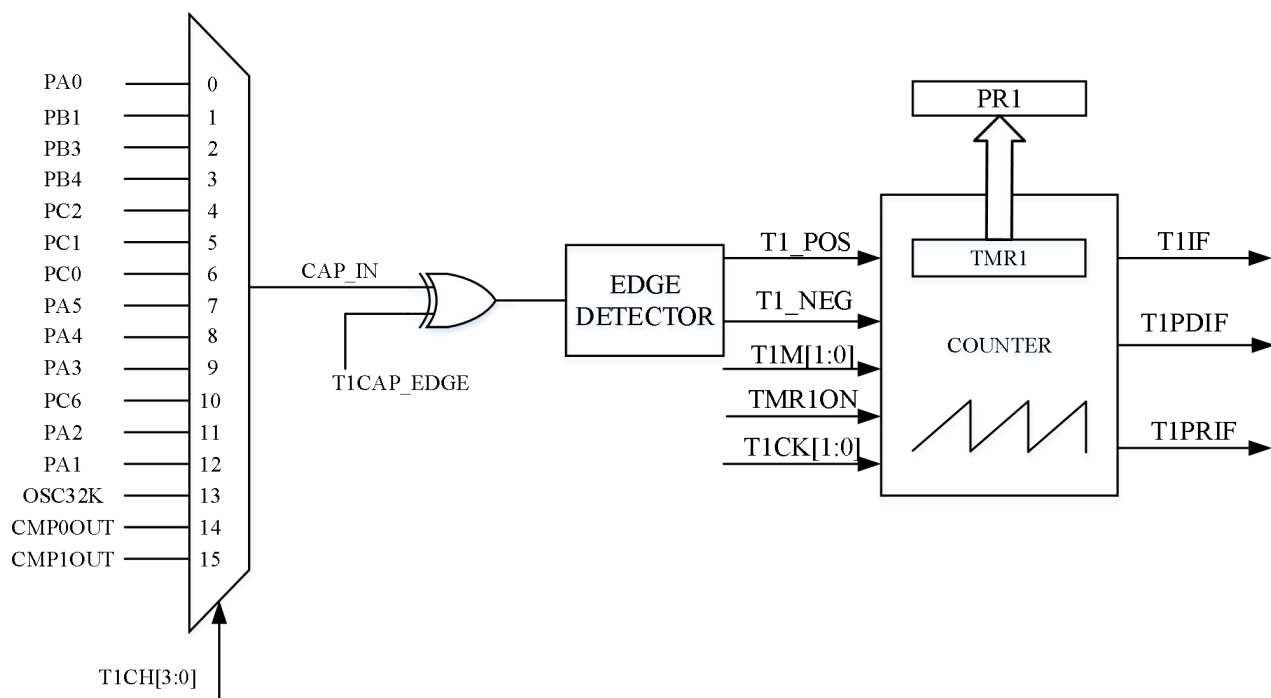


图 27 捕捉模式结构图

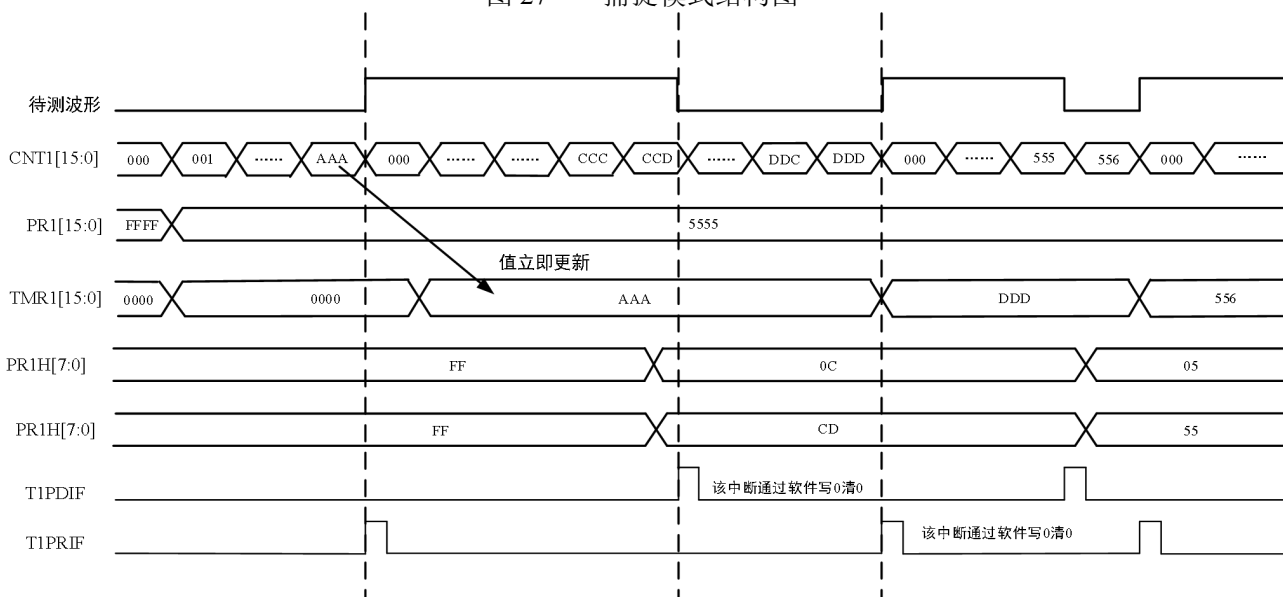


图 28 上升沿捕捉模式 1 时序图

配置 T1CON1 寄存器的 TIM[1:0]=2'B01 和 T1CON1[6]=0，即 Timer1 工作模式选择上升沿捕捉模式 1，输入第一个上升沿时，CNT1 寄存器清零，下降沿时将捕捉的值读取到 PR1 寄存器，并产生 T1PDIF 中断标志，输入第二个上升沿时将捕捉的值立即读取到 TMR1 寄存器中，并产生 T1PRIF；

配置 T1CON1 寄存器的 TIM[1:0]=2'B01 和 T1CON1[6]=1，即 Timer1 工作模式选择下降沿捕捉模式 1，输入第一个下降沿时，CNT1 寄存器清零，上升沿时将捕捉的值读取到 PR1 寄存器，并产生 T1PRIF 中断标志，输入第二个下降沿时将捕捉的值立即读取到 TMR1 寄存器中，并产生 T1PDIF；

## PR1L(TIMER1 周期寄存器)

地址: 0XFCE

Bit	Name	Description	Attribute	Reset
7:0	PR1L[7:0]	16 位捕获/比较/定时/计数周期寄存器低 8 位	R/W	0XFF

## PR1H(TIMER1 周期寄存器)

地址: 0XFCE

Bit	Name	Description	Attribute	Reset
7:0	PR1H[7:0]	16 位捕获/比较/定时/计数周期寄存器高 8 位	R/W	0XFF

## TMR1L(Timer1 低 8 位寄存器)

地址: 0XFD0

Bit	Name	Description	Attribute	Reset
7:0	TMR1L[7:0]	16 位定时/计数器低 8 位	R/W	0X00

## TMR1H(Timer1 高 8 位寄存器)

地址: 0XFD1

Bit	Name	Description	Attribute	Reset
7:0	TMR1H[7:0]	16 位定时/计数器高 8 位	R/W	0X00

## TICON0(Timer1 控制寄存器)

地址: 0XFCD

Bit	Name	Description	Attribute	Reset
7:6	T1CK[1:0]	Timer1 的时钟选择 00: FCPU 作为计数时钟 01: T1CKI 作为时钟(PC2) 10: 内部 32K 作为时钟 11: CMP1OUT 作为时钟	R/W	0
5	T1ADCEN	定时器 1 自启动 ADC 使能 1: 使能自启动 0: 禁止自启动	R/W	0
4:2	T1CKPS[2:0]	Timer1 的输入时钟分频 000: Timer1 输入时钟 1:1 分频 001: Timer1 输入时钟 1:2 分频 010: Timer1 输入时钟 1:4 分频 011: Timer1 输入时钟 1:8 分频 100: Timer1 输入时钟 1:16 分频 101: Timer1 输入时钟 1:32 分频	R/W	000

		110: Timer1 输入时钟 1:64 分频 111: Timer1 输入时钟 1:128 分频		
1	T1SYNC	Timer 外部时钟输入同步选择位 1: 不同步外部时钟输入 0: 同步外部时钟输入	R/W	0
0	TMR1ON	Timer1 的使能位 1: 使能 Timer1 定时计数器 0: 关闭 Timer1 定时计数器	R/W	0

1、在 4T 和 2T 模式下，T1CKI 的时钟选择必须小于  $F_{CPU}/8$ ;

2、TMR1 寄存器在写寄存器时，必须先写高字节在写低字节;

## T1CON1(Timer1 控制寄存器)

地址: 0XFCC

Bit	Name	Description	Attribute	Reset
7	Reserved			
6	T1CAP_EDGE	Timer1 的起始捕捉沿的选择 1: 选择下降沿 0: 选择上升沿	R/W	0
5:2	T1CH[3:0]	Timer1 脉宽信号输入选择  0000: T1CH0 作为脉宽检测输入信号(PA0) 0001: T1CH1 作为脉宽检测输入信号(PB1) 0010: T1CH2 作为脉宽检测输入信号(PB3) 0011: T1CH3 作为脉宽检测输入信号(PB4) 0100: T1CH4 作为脉宽检测输入信号(PC2) 0101: T1CH5 作为脉宽检测输入信号(PC1) 0110: T1CH6 作为脉宽检测输入信号(PC0) 0111: T1CH7 作为脉宽检测输入信号(PA5) 1000: T1CH8 作为脉宽检测输入信号(PA4) 1001: T1CH9 作为脉宽检测输入信号(PA3) 1010: T1CH10 作为脉宽检测输入信号(PC6) 1011: T1CH11 作为脉宽检测输入信号(PA2) 1100: T1CH12 作为脉宽检测输入信号(PA1) 1101: T1CH13 作为脉宽检测输入信号(OSC32K) 1110: T1CH14 作为脉宽检测输入信号(CMP0OUT) 1111: T1CH15 作为脉宽检测输入信号(CMP1OUT)	R/W	0000

1:0	T1M[1:0]	<p>Timer1 工作模式</p> <p>00: Timer1 工作在普通模式，溢出时间产生中断标志位。</p> <p>01: 捕捉模式 1: 当 T1CAP_EDGE=0 时输入第一个上升沿时，CNT1 寄存器清零，下降沿时将捕捉的值读取到 PR1 寄存器，并产生 T1PDIF 中断标志，输入第二个上升沿时将捕捉的值读取到 TMR1 寄存器中，并产生 T1PRIF;</p> <p>当 T1CAP_EDGE=1 时输入第一个下降沿时，CNT1 寄存器清零，上升沿时将捕捉的值读取到 PR1 寄存器，并产生 T1PDIF 中断标志，输入第二个下降沿时将捕捉的值读取到 TMR1 寄存器中，并产生 T1PRIF;</p>	R/W	00
-----	----------	---	-----	----

## 7.3 TIMER2 定时器和 3 路独立互补 PWM

Timer2 是 8 位定时计数器，支持定时、沿启动 ADC 采集和带死区的 3 路独立互补 PWM 输出。同时支持 CPU 中断，时钟源为 Fsys，通过预分频器和分频器可调整 Timer2 时钟。

### 7.3.1 Timer2 计数/定时

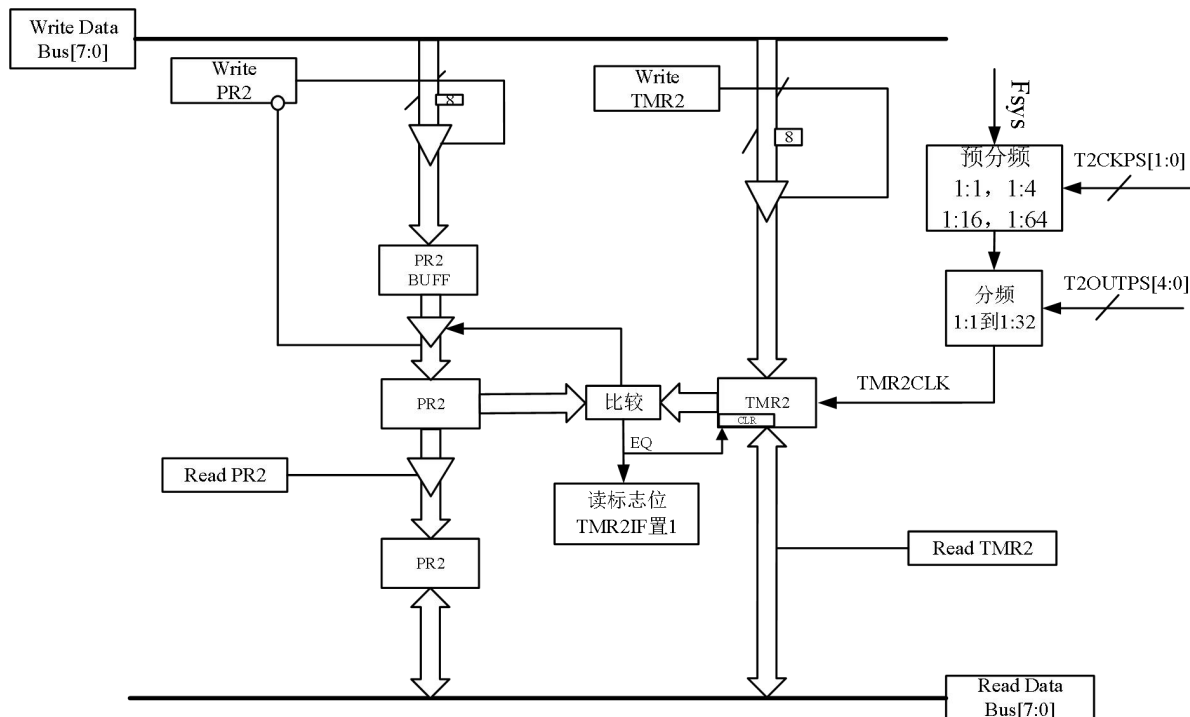


图 29 定时模式原理框图

Timer2 定时操作步骤：

- Timer2 时钟源为 Fsys，通过配置预分频器 T2CKPS[1:0]，可对 Fsys 进行 1/4/16/64 分频，再配置分频器 T2OUTPS[4:0]，对预分频的时钟再分频(1 分频-32 分频)后，作为 Timer2 计数时钟
- 通过配置 TMR2 和 PR2，控制定时时间
- 使用中断，需将全局中断 GIE(INTCON<7>)、外设中断 PEIE(INTCON<6>)和使能位 TMR2IE 置 1，同时可配置 TMR2IP 设置中断优先级
- 配置完相应的寄存器后，TMR2ON 置 1，使能计数器开始计数

Timer2 的定时时间计算公式如下：

$$\text{Time2} = (\text{PR2} - \text{TMR2} + 1) * \{ \text{T2CKPS}[1:0] \} * \{ \text{T2OUTPS}[4:0] \} / \text{Fsys} \quad // \text{TMR2 初值为 0}$$

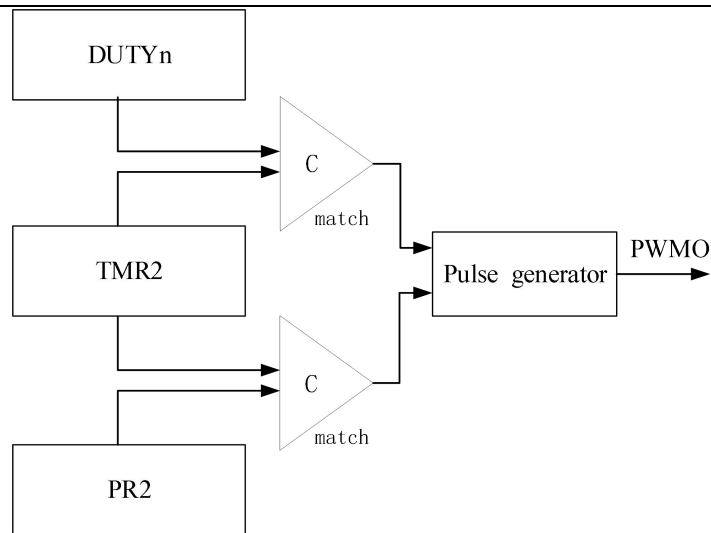
注：1、T2CKPS[1:0]对应 1/4/16/64      T2OUTPS[4:0]对应 1-32

2、TMR2 一般使用默认值 0，若想通过给 TMR2 赋初值来控制定时时间，须在中断中给 TMR2 赋值。

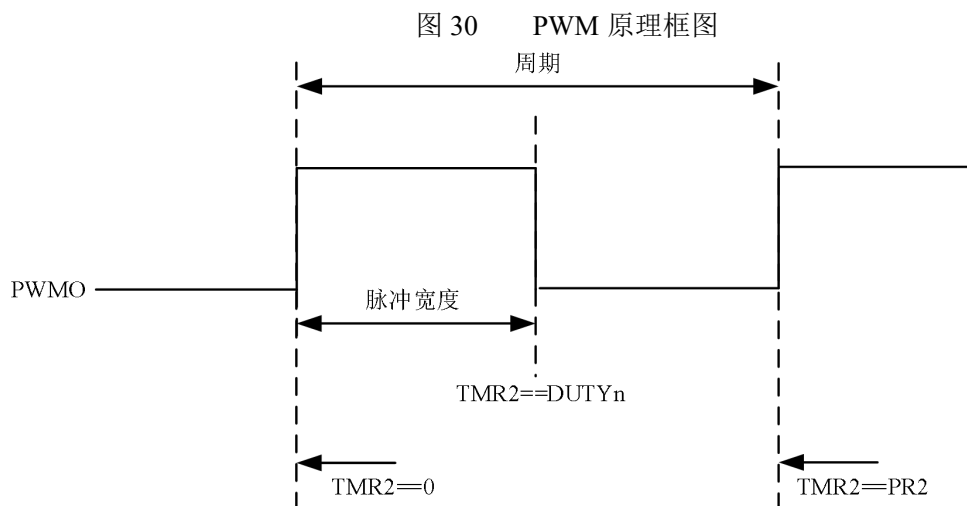
### 7.3.2 PWM

Timer2 模块通过配置 TMR2、PR2 和 DUTY<sub>n</sub>(DUTY20, DUTY22, DUTY24)寄存器，可以生成占空比为 8 位分辨率的 PWM。该 PWM 无法直接映射到 IO，是作为 HBRIDGE 单元的输入，可生成 3 路独立互补 PWM。





注：n=20/22/24。



注：

n=20/22/24。

图 31 PWM 输出原理图

### 7.3.2.1 PWM 的周期

PWM 周期由 Timer2 的 PR2 寄存器指定。PWM 周期公式

PWM 周期为  $(PR2+1) \times (TMR2 \text{ 预分频值}) \times (TMR2 \text{ 分频值}) / F_{sys}$  (系统工作时钟)

当 TMR2 等于 PR2 时，下一次递增周期将发生以下事件：

1. TMR2 清零；
2. PWM 输出引脚置 1 (例外：若 PWM 占空比=0%，引脚不置 1)。

### 7.3.2.2 占空比

通过给 DUTYn 寄存器写入 8 位值可指定 PWM 占空比。

PWM 脉冲宽度  $= (DUTY_n + 1) \times (TMR2 \text{ 预分频值}) \times (TMR2 \text{ 分频值}) / F_{sys}$  (系统工作时钟)

$$PWM \text{ 占空比} = \frac{DUTY_n + 1}{PR2}$$

注：n=20/22/24。

## 7.3.2.3 分辨率

分辨率决定某个周期的有效占空比。例如：10 位分辨率有 1024 个分立的占空比，而 8 位分辨率则有 256 个分立的占空比。

$$\text{分辨率} = \text{Log}_2\{\text{PR2}+1\} \text{ 位}$$

## 7.3.2.4 PWM 使能 ADC 采集

下图为 PWM20 跳变时，ADC 采集时序图：

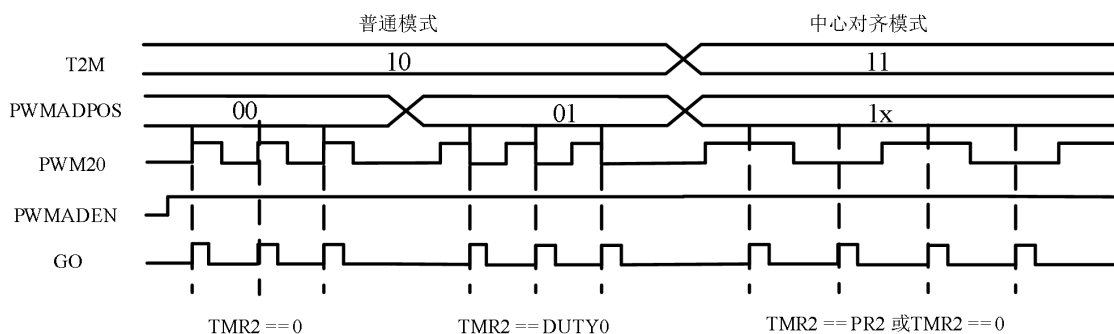


图 32 ADC 采集时序图

下图为 PWM 普通模式，ADC 采集图：

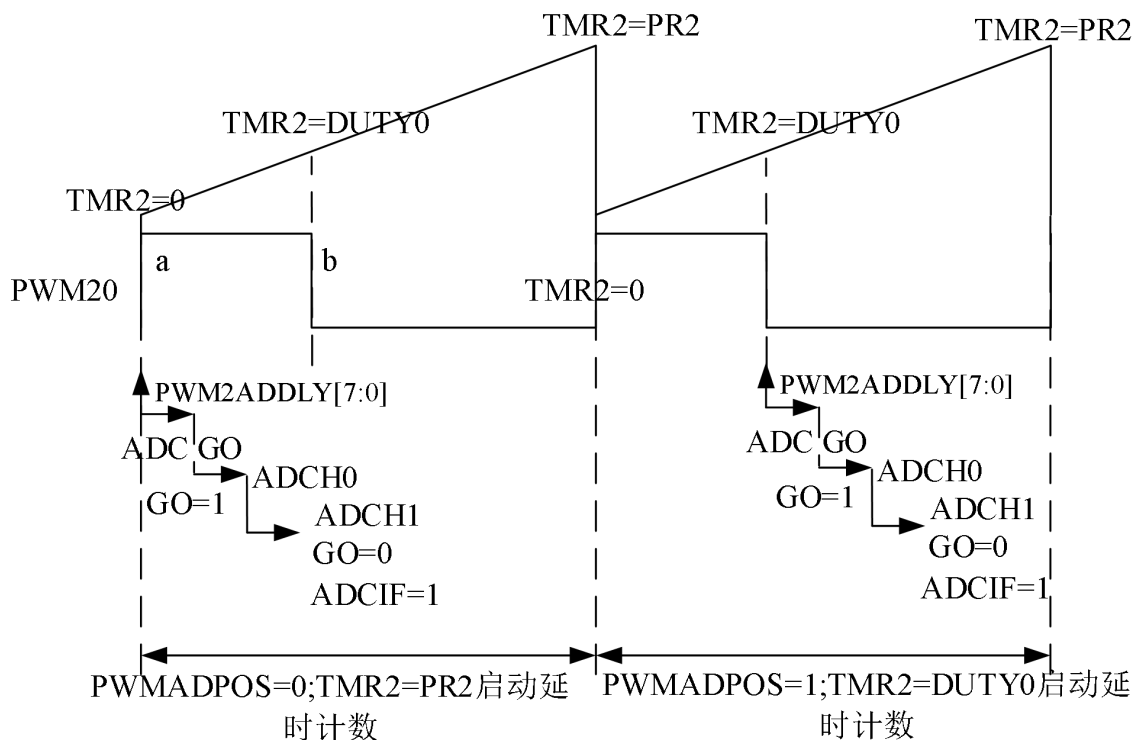
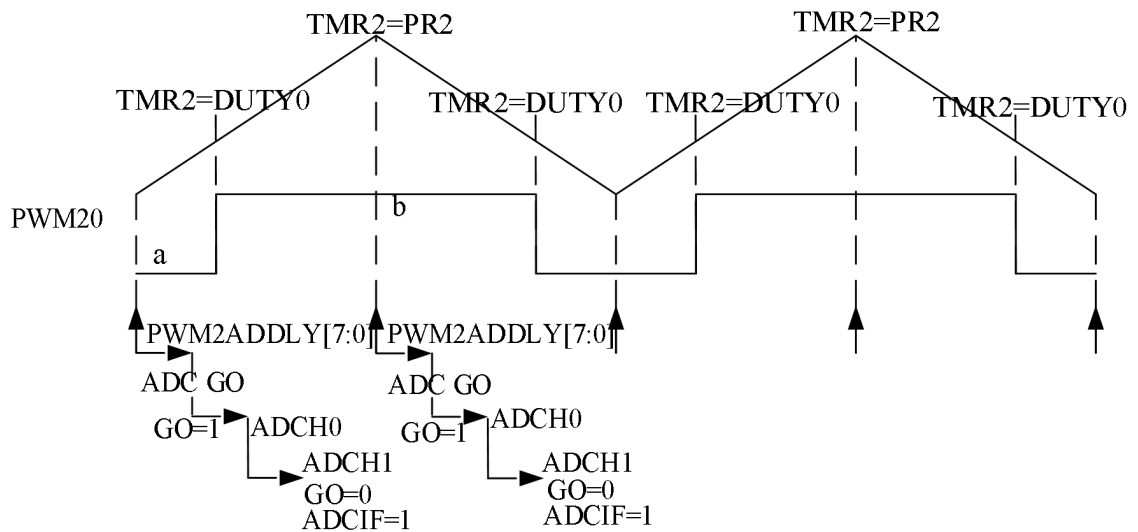


图 33 PWM 普通模式下，ADC 采集框图

下图为PWM中心对齐模式，ADC采集图：

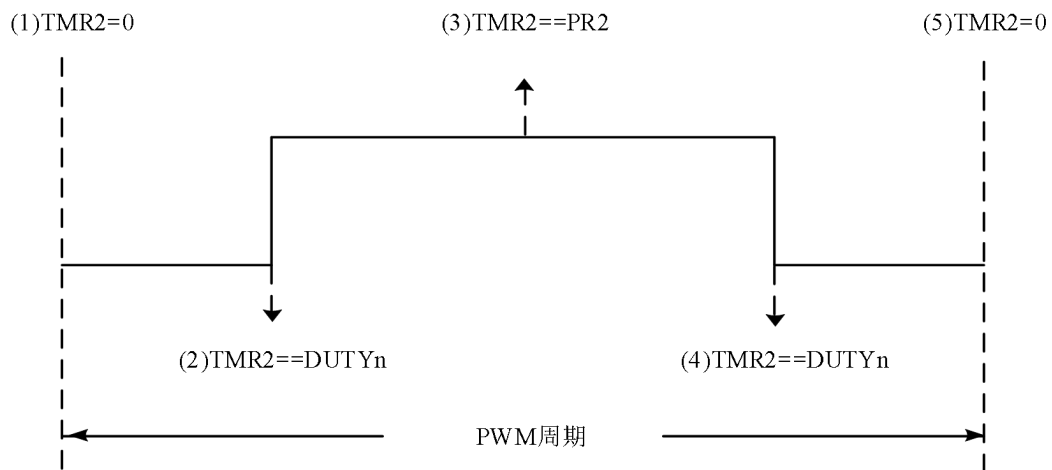


PWMADPOS=1x, TMR2=8'H0启动延时计数 TMR2=PR2启动延时计数

图 34 PWM 中心模式下, ADC 采集框图

注：当 ADC 采集 PWM20 的 a 点时，ADC 采集延时时间不能超过 PWM20 占空比时间；当 ADC 采集 PWM20 的 b 点时，PWM 普通模式中 ADC 采集延时时间不能超过 PWM20 下个周期开始时间，PWM 中心对齐模式中 ADC 采集延时时间不能超过 TMR2 递减到和 DUTY0 相等的时间。

### 7.3.2.5 PWM 中心对齐模式



注：n=20/22/24。

图 35 PWM 中心对齐示意图

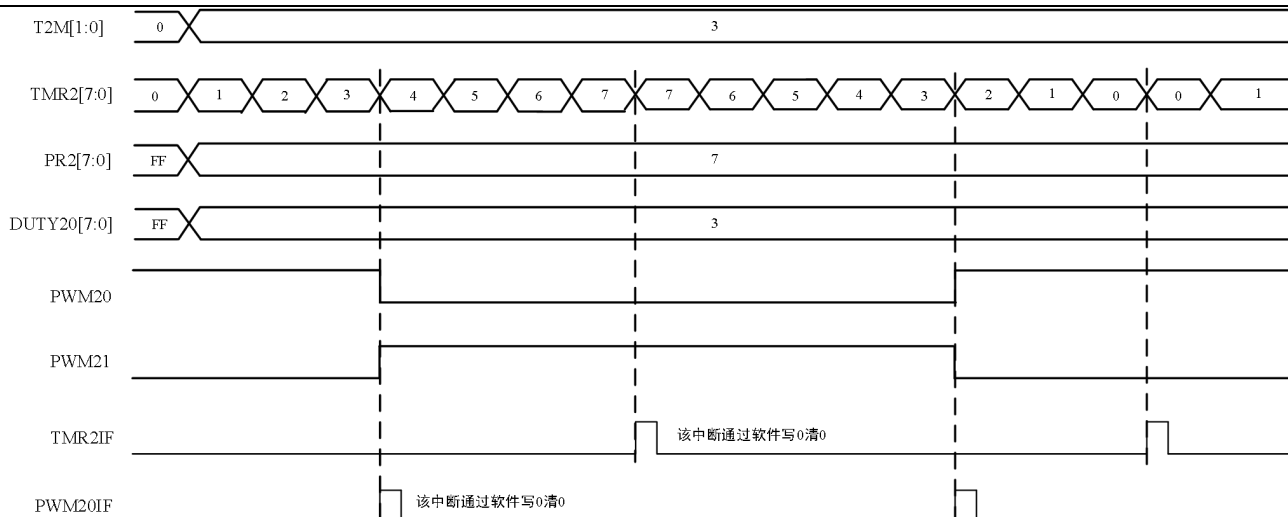


图 36 中心对齐模式下，中断产生时序图(以 PWM20、PWM21 为例)

配置 T2M=11，PWM 使能中心对齐模式，此时 PWM 工作过程如下：

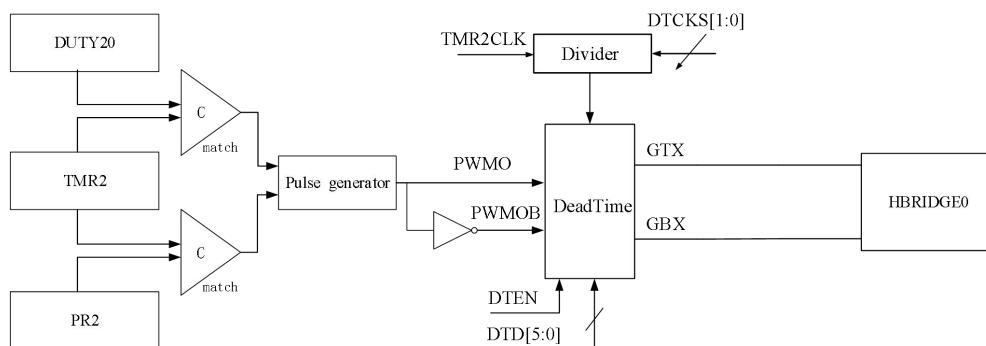
- (1) PWM周期开始，TMR2开始从0递增；
- (2) 当TMR2与DUTY<sub>n</sub>相等时，PWM开始第一次高低电平变化，TMR2继续递增；
- (3) 当TMR2与PR2相等时，TMR2开始自减；
- (4) 当TMR2再次与DUTY<sub>n</sub>相等时，PWM再次变化高低电平；
- (5) 当TMR2自减为0时，此时PWM周期结束，开始下一个PWM周期。

此时，实际上 PWM 周期为  $2 * (PR2 + 1) * (TMR2 \text{ 预分频值}) * (TMR2 \text{ 预分频值}) / F_{sys}$  (系统工作时钟)

**注意：**普通 PWM 模式切换中心对齐模式需要将 PWM 关闭后重新打开；n=20/22/24。

### 7.3.3 HBRIDGE

互补式输出控制是通过一系列寄存器实现的。这些寄存器可用于选择 PWM 死区时间设置以及输出极性控制等。通过将 Timer2 的 PWM 同时输出到 3 个 HBRIDGE 单元，可控制 3 组独立互补 PWM(PWM20 和 PWM21、PWM22 和 PWM23、PWM24 和 PWM25)输出。PWM20 和 PWM21、WM22 和 PWM23、PWM24 和 PWM25 原理图如下图。



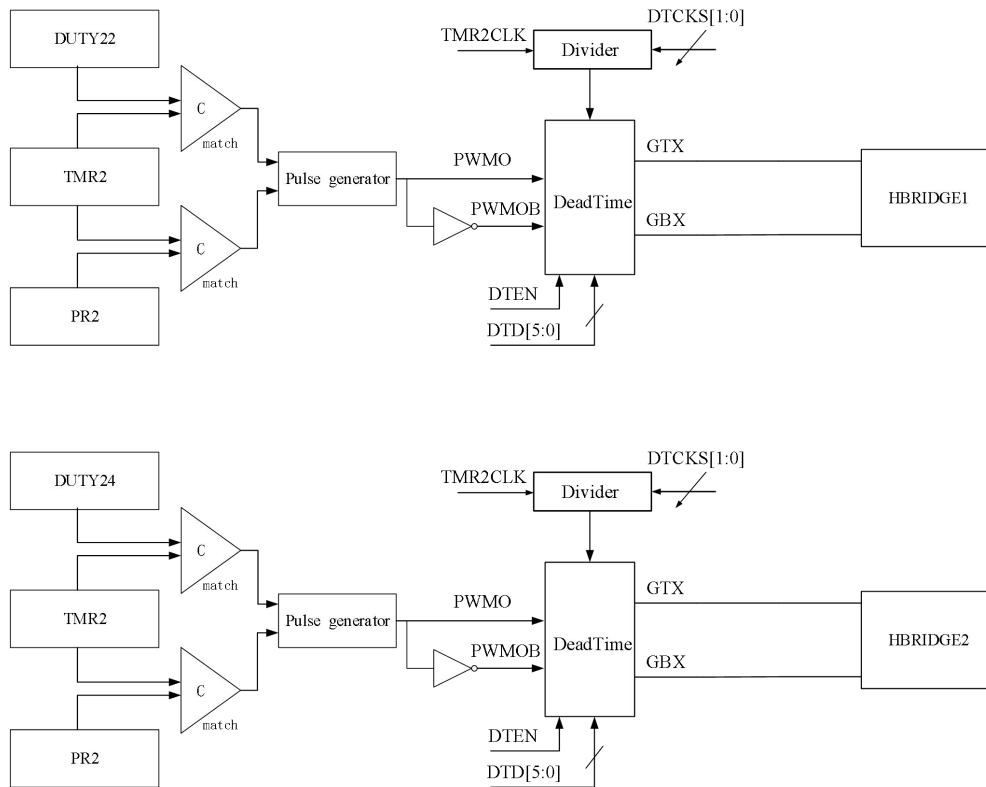
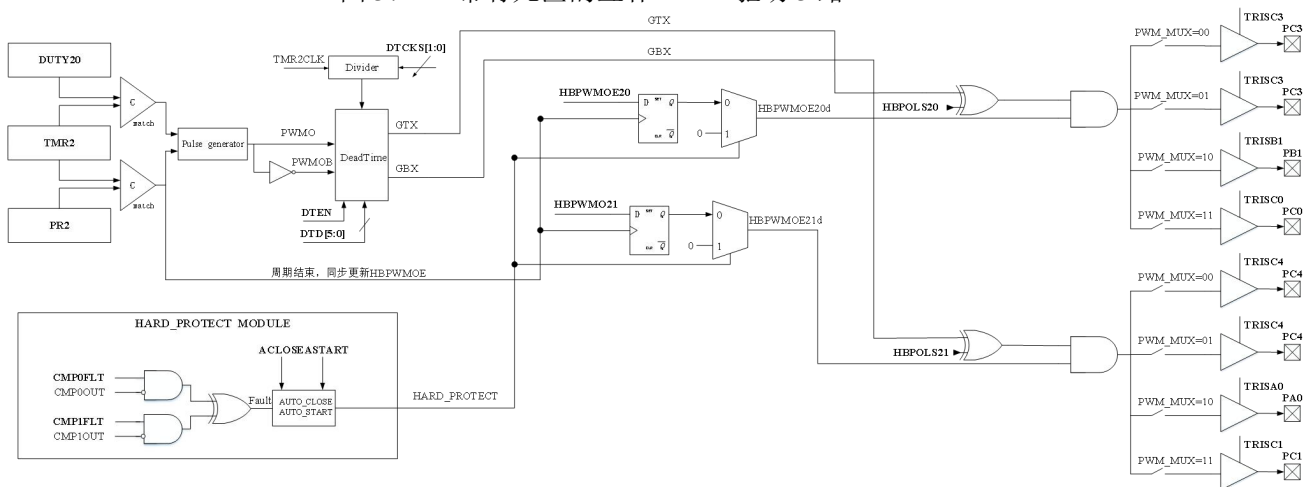
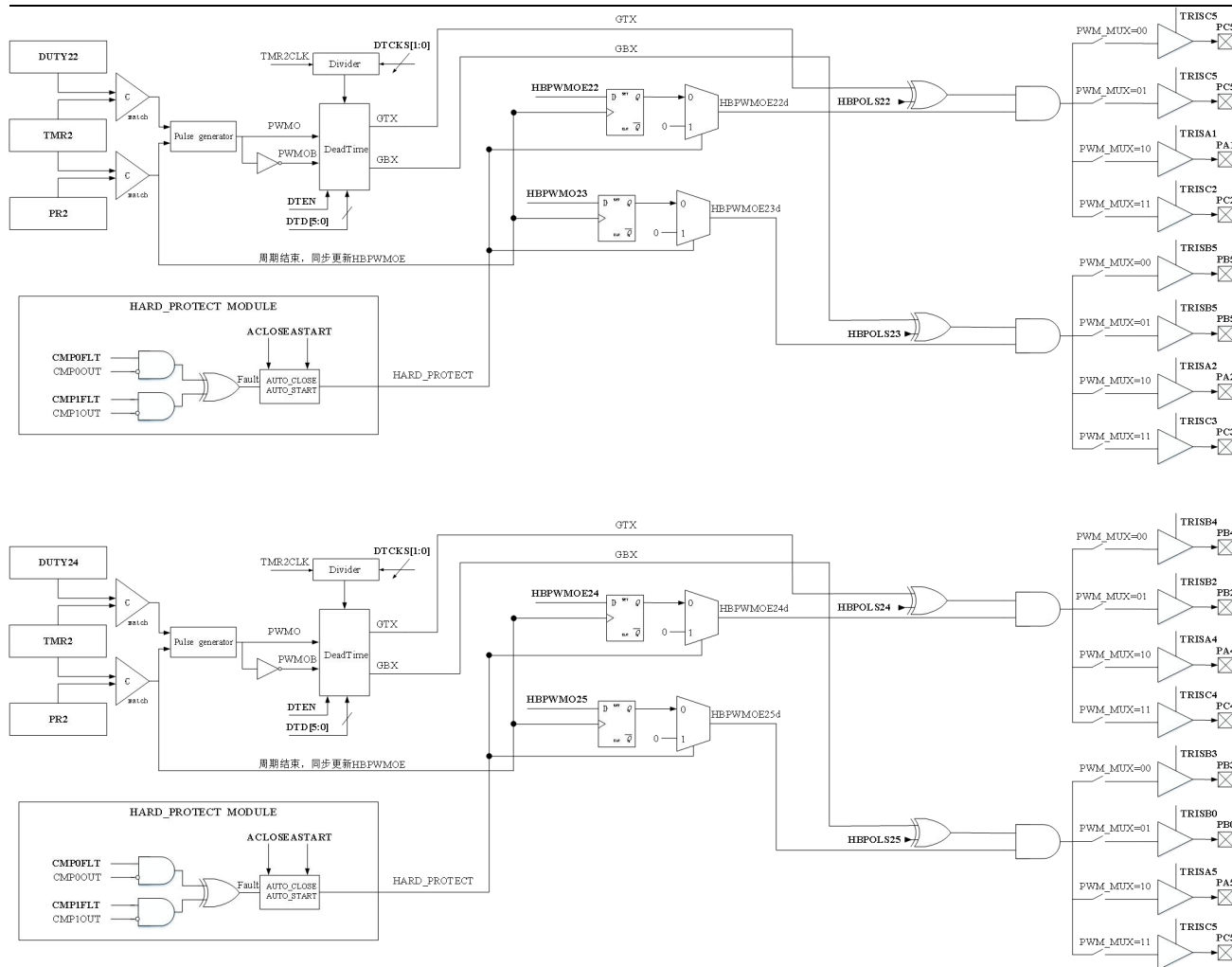


图 37 带有死区的互补 PWM 驱动 3 路 HBRIDGE





注：HBPWMOEnd 为内部信号；n=20/21/22/23/24/25。

图 38 HBRIDGE 输出原理图

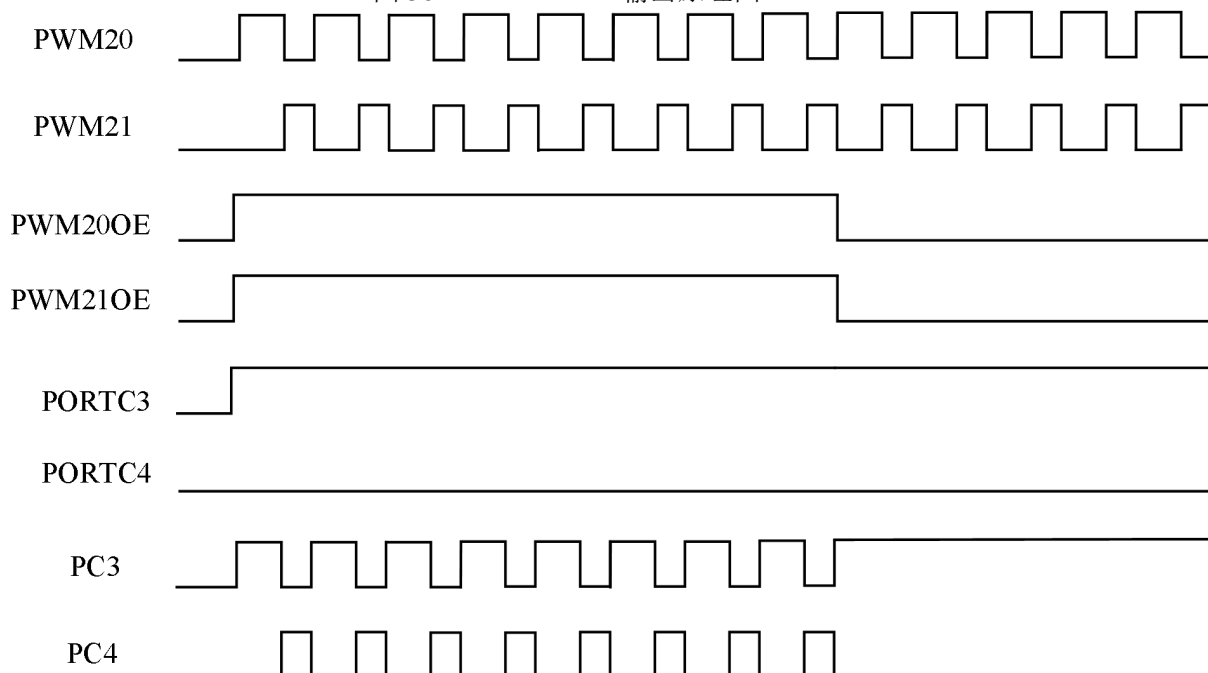


图 39 PWM 映射 IO 时序图

### 7.3.3.1 死区时间

死区时间电路设计的目的是，插入死区时间可确保外部驱动电路晶体管对的上下臂在转态时不会瞬间导通(上下臂 MOS 皆开启)而产生短路电流。为了消除这种危险，设计了一段死区时间，确保输出转态的过程中，两个晶体管处于不会同时导通的状态。死区时间插入使能或除能由 PME 寄存器的 DTEN 位控制。死区时间要控制在  $0\mu\text{s}\sim 100\mu\text{s}$  左右，可通过 DTCKS1~DTCKS0 位选择死区时钟源，并通过 DTD5~DTD0 位对插入的死区时间进行调整。

下图为死区时间方框图和插入死区时间时序图。需注意的是，若开启死区时间功能，只有在上升沿时插入死区时间，下降沿不变化。

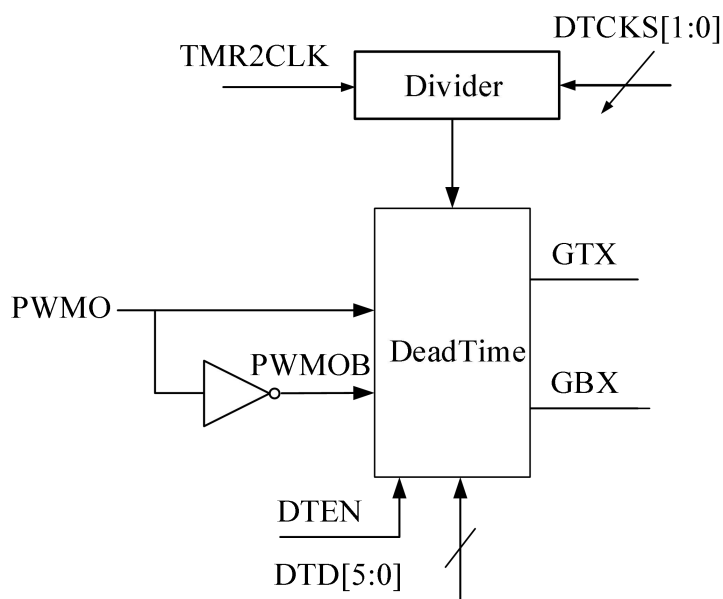


图 40 死区时间方框图

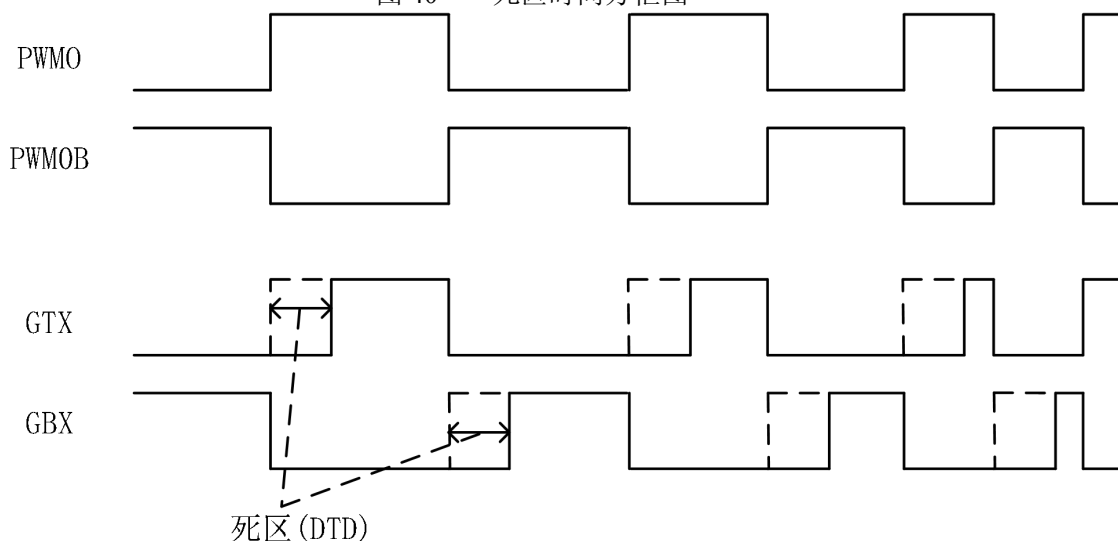


图 41 死区时间时序图

表 7-1 死区时间电路输出表

DTEN	GTX	GBX
1	PWMO&DTD	PWMOB&DTD
0	PWMO	PWMOB

### 7.3.3.2 故障刹车

6 路 HBRIDGE 均支持故障刹车功能。一旦发生故障刹车事件，且只要故障条件一直存在，PWM 映射引脚将输出 PORT 口状态。

故障刹车事件可为 CMP0FLT 或 CMP1FLT；

故障刹车时，HBPWM20/HBPWM21/HBPWM22/HBPWM23/HBPWM24/HBPWM25 输出关闭。此时输出逻辑由 PORT 口控制，输出逻辑高或逻辑低。

ACLOSE 自动关闭-当故障事件有效时，PWM 输出关闭。

ASTART 自启动-当故障事件结束后，PWM 将在更新周期时，使能 PWM 输出。

下图以 HBPWM20 和 HBPWM21 举例说明故障刹车图。HBPWM22 和 HBPWM23、HBPWM24 和 HBPWM25 同理。

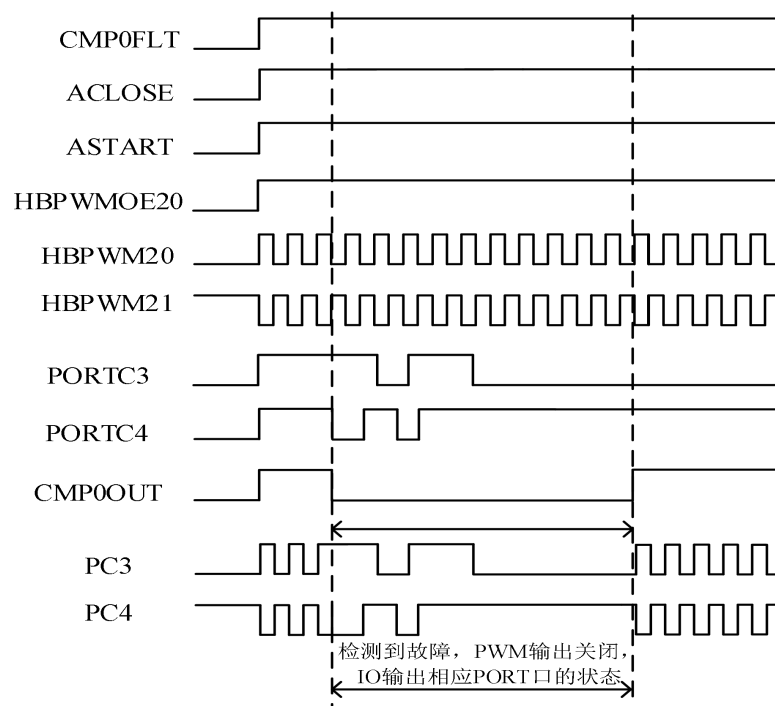


图 42 故障刹车图

### 7.3.4 寄存器

PR2(Timer2 的周期寄存器)

地址：0XFC8

Bit	Name	Description	Attribute	Reset
-----	------	-------------	-----------	-------



7:0	PR2[7:0]	TMR2 周期寄存器	R/W	0XFF
-----	----------	------------	-----	------

**TMR2(Timer2 的低八位寄存器)**

地址:0XFCA

Bit	Name	Description	Attribute	Reset
7:0	TMR2[7:0]	8 位定时/计数器	R/W	0X00

**DUTY20(PWM20, PWM21 的占空比寄存器)**

地址:0XFC6

Bit	Name	Description	Attribute	Reset
7:0	DUTY20[7:0]	8 位占空比寄存器	R/W	0X00

**DUTY22(PWM22, PWM23 的占空比寄存器)**

地址: 0XFC4

Bit	Name	Description	Attribute	Reset
7:0	DUTY22[7:0]	8 位占空比寄存器	R/W	0X00

**DUTY24(PWM24, PWM25 的占空比寄存器)**

地址: 0XFC2

Bit	Name	Description	Attribute	Reset
7:0	DUTY24[7:0]	8 位占空比寄存器	R/W	0X00

**注: TMR2、PR2 和 DUTYn 寄存器在写寄存器时, 必须先写高字节在写低字节; n=20/22/24;**

**T2CON0(Timer2 控制寄存器)**

地址: 0XFC1

Bit	Name	Description	Attribute	Reset
7:3	T2OUTPS[4:0]	Timer2 分频选择位 00000: 1:1 分频                      10000: 1:17 分频 00001: 1:2 分频                      10001: 1:18 分频 00010: 1:3 分频                      10010: 1:19 分频 00011: 1:4 分频                      10011: 1:20 分频 00100: 1:5 分频                      10100: 1:21 分频 00101: 1:6 分频                      10101: 1:22 分频 00110: 1:7 分频                      10110: 1:23 分频 00111: 1:8 分频                      10111: 1:24 分频 01000: 1:9 分频                      11000: 1:25 分频 01001: 1:10 分频                      11001: 1:26 分频 01010: 1:11 分频                      11010: 1:27 分频 01011: 1:12 分频                      11011: 1:28 分频	R/W	0

		01100: 1:13 分频 01101: 1:14 分频 01110: 1:15 分频 01111: 1:16 分频	11100: 1:29 分频 11101: 1:30 分频 11110: 1:31 分频 11111: 1:32 分频		
2	TMR2ON	Timer2 使能位 1: 使能 Timer2 0: 禁止 Timer2		R/W	0
1:0	T2CKPS[1:0]	Timer2 时钟预分频选择位 00: 预分频值为 1 01: 预分频值为 4 10: 预分频值为 16 11: 预分频值为 64		R/W	0

**T2CON1(Timer2 控制寄存器)**

地址: 0XFC0

Bit	Name	Description	Attribute	Reset
7	INT2EDGE	外部中断边沿选择位 1: 下降沿触发中断 0: 上升沿触发中断 对应 IO 为: PB4	R/W	0
6	INT1EDGE	外部中断边沿选择位 1: 下降沿触发中断 0: 上升沿触发中断 对应 IO 为: PB3	R/W	0
5	INT0EDGE	外部中断边沿选择位 1: 下降沿触发中断 0: 上升沿触发中断 对应 IO 为: PB1	R/W	0
4	CMP1POSE	CMP1 的输出极性 1: 反向输出 0: 正向输出	R/W	0
3	CMP0POSE	CMP0 的输出极性 1: 反向输出 0: 正向输出	R/W	0
2	CMPCLK_CS	CMP0 和 CMP1 的工作时钟选择	R/W	0

		1: 选择 OSC32K 做工作时钟 0: 选择 FCPU 做工作时钟		
1:0	T2M[1:0]	Timer2 工作模式  00: Timer2 工作在定时模式, TMR2==PR2 时, 产生中断标志位。  10: Timer2 的 PWM 工作在普通边沿模式  11: Timer2 的 PWM 工作在中心对齐模式	R/W	0

## DTC(死区时间控制寄存器)

地址: 0XFBF

Bit	Name	Description	Attribute	Reset
7:6	DTCKS[1:0]	选择死区时间时钟源 $F_{DT}$  00: $F_{DT}=F_{sys}$  01: $F_{DT}=F_{sys}/4$  10: $F_{DT}=F_{sys}/16$  11: $F_{DT}=F_{sys}/64$	R/W	0
5:0	DTD[5:0]	死区时间计数器死区时间= $(DTD[5:0]+1)/F_{DT}$	R/W	0

## POLS(极性选择寄存器)

地址: 0XFB

Bit	Name	Description	Attribute	Reset
7:6	PWM_MUX[1:0]	PWM 引脚映射  00: PWM20,PWM21 映射至 PC3,PC4; PWM22,PWM23 映射至 PC5,PB5; PWM24,PWM25 映射至 PB4,PB3;  01: PWM20,PWM21 映射至 PC3,PC4; PWM22,PWM23 映射至 PC5,PB5; PWM24,PWM25 映射至 PB2,PB0;  10: PWM20,PWM21 映射至 PB1,PA0; PWM22,PWM23 映射至 PA1,PA2; PWM24,PWM25 映射至 PA4,PA5;  11: PWM20,PWM21 映射至 PC0,PC1;	R/W	00

		PWM22,PWM23 映射至 PC2,PC3; PWM24,PWM25 映射至 PC4,PC5;		
5	HBPOL25	HBPWM25 输出极性控制 1: 反相输出 0: 同相输出	R/W	0
4	HBPOL24	HBPWM24 输出极性控制 1: 反相输出 0: 同相输出	R/W	0
3	HBPOL23	HBPWM23 输出极性控制 1: 反相输出 0: 同相输出	R/W	0
2	HBPOL22	HBPWM22 输出极性控制 1: 反相输出 0: 同相输出	R/W	0
1	HBPOL21	HBPWM21 输出极性控制 1: 反相输出 0: 同相输出	R/W	0
0	HBPOL20	HBPWM20 输出极性控制 1: 反相输出 0: 同相输出	R/W	0

## PME 寄存器

地址: 0XFBD

Bit	Name	Description	Attribute	Reset
7	UART_MUX	UART 的引脚映射 1: PC0(TX)和 PC1(RX) 0: PA1(TX)和 PA2(RX) 注意: 配置字 DEBUG_UART=2'b11 时; 当 PA3 为高电平时, 硬件自动将 UART_MUX 功能映射成 0, 并同时使能调试模式; 当 PA3 为低电平, 硬件恢复 UART_MUX 寄存器功能, CPU 可以正常控制 UART 的寄存器。	R/W	0
6	DTEN	死区时间使能 1: 允许使能	R/W	0

		0: 禁止使能		
5	HBPWMOE25	HBPWM25 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
4	HBPWMOE24	HBPWM24 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
3	HBPWMOE23	HBPWM23 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
2	HBPWMOE22	HBPWM22 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
1	HBPWMOE21	HBPWM21 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
0	HBPWMOE20	HBPWM20 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0

## PWM2ADDLY(PWM 的控制寄存器)

地址: 0XFBB

Bit	Name	Description	Attribute	Reset
7:0	PWM2ADDLY[7:0]	ADC 采集延时时间: $T = \{PWM2ADDLY[7:0]\} * TMR2CLK$	R/W	0

## HBCON(PWM 的控制寄存器)

地址: 0XFBC

Bit	Name	Description	Attribute	Reset
7	CMP1FLT	CMP1OUT 为故障输入, 当从 1 变为 0 后, 禁止 PWM 输出 1: 使能 CMP1OUT 作为故障输入 0: 禁止 CMP1OUT 作为故障输入	R/W	0
6	CMP0FLT	CMP0OUT 为故障输入, 当从 1 变为 0 后, 禁止 PWM 输出 1: 使能 CMP0OUT 作为故障输入 0: 禁止 CMP0OUT 作为故障输入	R/W	0
5	ASTART	发生故障后(ACLOSE=1), 当使能的故障都解除后, 自动启	R/W	0

		动 PWM 输出 1: 使能启动 PWM 输出 0: 禁止启动 PWM 输出		
4	ACLOSE	发生故障后, 自动关闭 PWM 输出 1: 使能关闭 PWM 输出 0: 禁止关闭 PWM 输出	R/W	0
3	PWMADEN	使能 PWM 输出跳变时, 自动启动 ADC 采集功能 1: 使能 ADC 采集 0: 禁止 ADC 采集	R/W	0
2:1	PWMADPOS	PWM 跳变沿使能 ADC 采集 1x: 中心对齐模式: TMR2==PR2 或者 TMR2==8'H0 时, 启动 PWMADDLY 计数器, 当计数器为 0 时启动 ADC 采样 01: PWM20 边沿跳变时, TMR2==DUTY20 时, 启动 PWMADDLY 计数器, 当计数器为 0 时启动 ADC 采样 00: PWM20 边沿跳变时, TMR2==PR2 时, 启动 PWMADDLY 计数器, 当计数器为 0 时启动 ADC 采样。 沿跳变时 ADC 才会采集, 如果沿不跳变 ADC 不会采集(上升沿, POLS 默认选 0 时)。	R/W	0
0	Reserved			

## 7.4 TIMER3 定时器

### 7.4.1 定时器 3 计数/定时

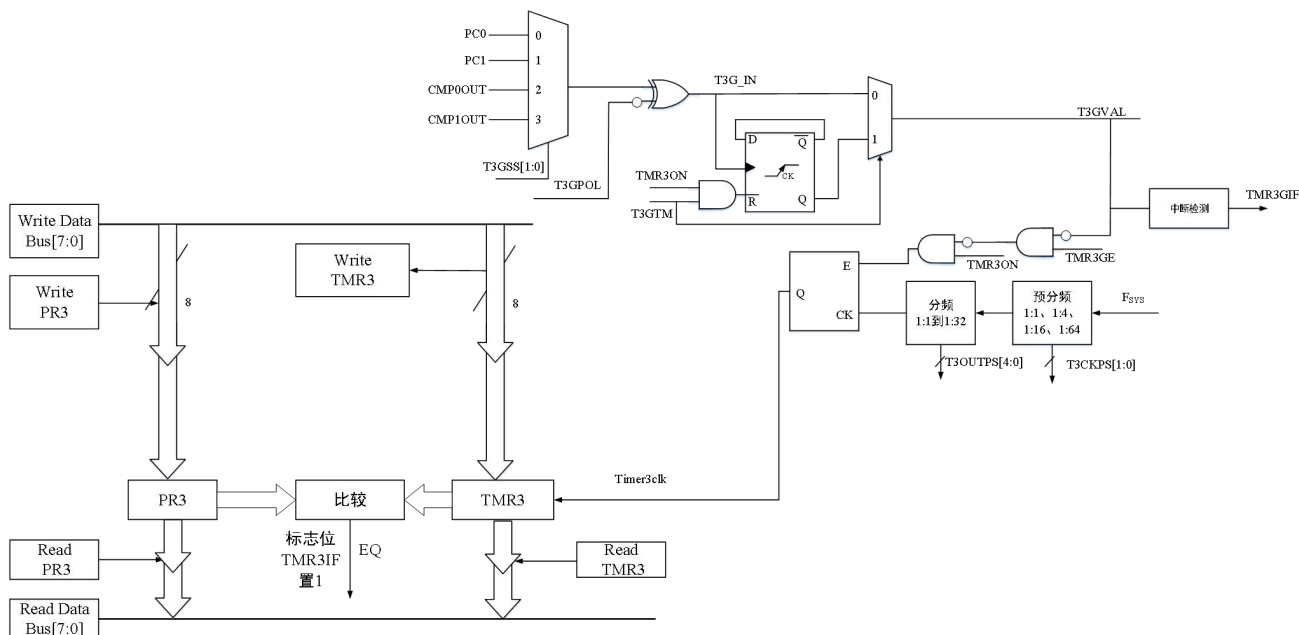


图 43 定时器 3 结构图

Timer3 定时操作步骤：

- Timer3 时钟源为 Fsys，通过配置预分频器 T3CKPS[1:0]，可对 Fsys 进行 1/4/16/64 分频。再配置分频器 T3OUTPS[4:0]，对预分频的时钟再分频(1 分频-32 分频)后，作为 Timer3 计数时钟
- 通过配置 TMR3 和 PR3，控制定时时间
- 若想使用中断，需将全局中断 GIE(INTCON<7>)、外设中断 PEIE(INTCON<6>)和使能位 TMR3IE 置 1，同时可配置 TMR3IP 设置中断优先级
- 配置完相应的寄存器后，TMR3ON 置 1，使能计数器开始计数
- Timer3 不能自动装载，定时时间需要在中断中手动装载初值；

Timer3 的定时时间计算公式如下：

$$\text{Time} = (\text{PR3} - \text{TMR3} + 1) * \{ \text{T3CKPS}[1:0] \} * \{ \text{T3OUTPS}[4:0] \} / \text{Fsys}; \quad // \text{TMR3 初值为 0}$$

注：T3CKPS[1:0]对应 1/4/16/64      T3OUTPS[4:0]对应 1-32

TMR3 一般使用默认值 0，若想通过给 TMR3 赋初值来控制定时时间，须在中断中给 TMR3 赋值。

### 7.4.2 Timer3 门控

Timer3 可配置为自由计数或用 Timer3 门控电路使能和禁止计数；Timer3 门控也可由多个可选择源驱动。

#### 7.4.2.1 Timer3 门控使能

通过将 T3CON1 寄存器 TMR3GE 置 1 使能 Timer3 门控使能模式。使用 T3CON1 寄存器 T3GPOL 位来配置 Timer3 门控使能位模式极性。

使能 Timer3 门控使能模式时，Timer3 将在 Timer3 时钟源的上升沿递增。禁止 Timer3 门控使能模式时，不会发送递增，Timer3 保持当前计数。

表 7-2 Timer3 门控使能选择

Timer3clk	T3GPOL	PC0 引脚	Timer3 工作状态
上升沿	0	0	计数
上升沿	0	1	保持计数
上升沿	1	0	保持计数
上升沿	1	1	计数

#### 7.4.2.2 Timer3 门控源选择

Timer3 门控源可从四种不同源之中选择。源的选择由 T3CON1 寄存器的 T3GSS 位控制。每个可用源的极性也是可选择的。极性的选择由 T3CON1 寄存器的 T3GPOL 位控制。

表 7-3 Timer3 的门控源

T3GSS	T3GPOL
00	PC0 引脚
01	PC1 引脚
10	CMP0 的输出
11	CMP1 的输出

#### 7.4.2.3 TIMER3 门控翻转模式

使能 Timer3 门控翻转模式时，可测量 Timer3 门控信号整个周期的长度，而不是单电平脉冲的持续时间。Timer3 门控源经由一个触发器输送到 Timer3,该触发器在信号的每个递增边沿改变状态。

Timer3 门控翻转模式通过将 T3CON1 寄存器的 T3GTM 位置 1 使能。T3GTM 位清零时，将清除触发器并保持清零。这对于控制测量哪个边沿是必需的。

**注：在使能翻转模式的同时改变门控极性，可能会导致不确定的操作**

#### 7.4.2.4 TIMER3 门控值状态

使用 Timer3 门控值状态时，可读取门控控制值的最新电平。该值保存在 T3CON1 寄存器的 T3GVAL 位中。即使 Timer3 门控未使能(TMR3GE 位清零)，T3GVAL 位也是有效的。

#### 7.4.2.5 TIMER3 门控事件中断

允许 Timer3 门控事件中断时，可在门控事件完成时产生一个中断。出现 T3GVAL 的下降沿时，PIR3 寄存器中的 TMR3GIF 标志位将置 1。如果 PIE3 寄存器中的 TMR3GIE 位置 1，则会识别出一个中断。即使 Timer3 门控未使能(TMR3GE 位清零)，TMR3GIF 标志位也能工作。



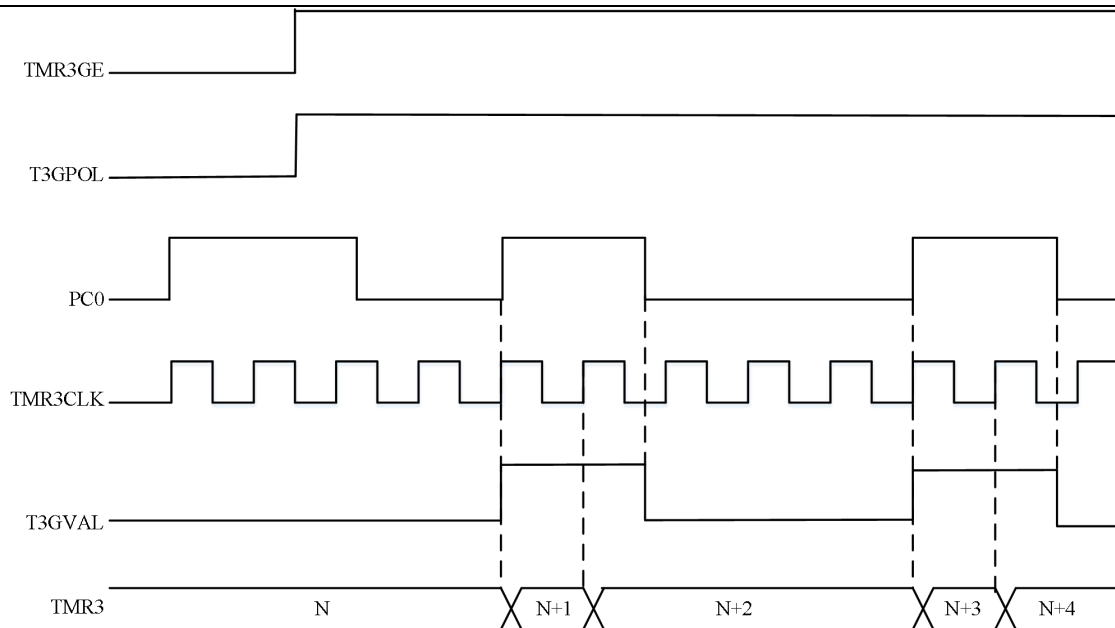


图 44 Timer3 门控使能模式

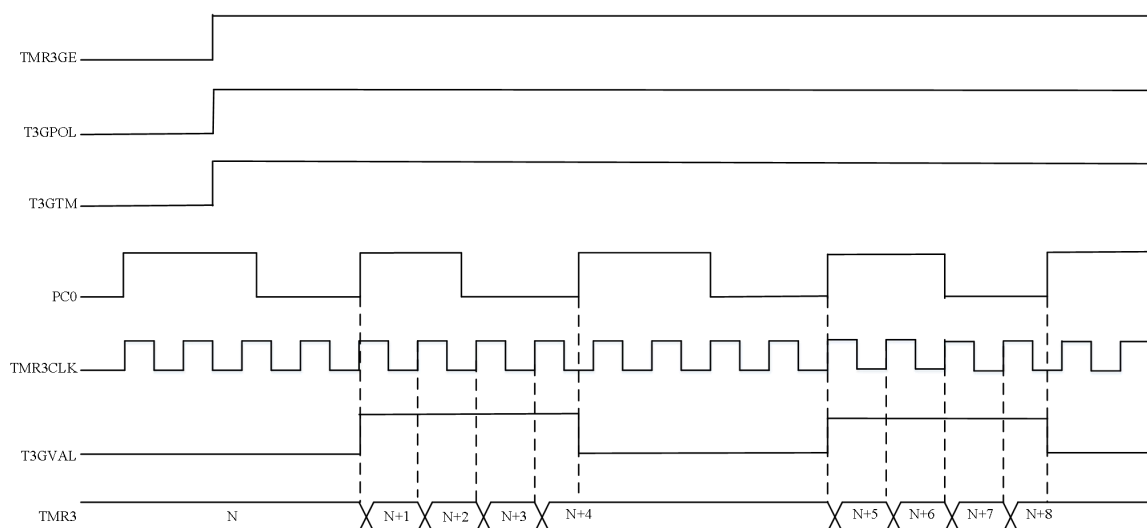


图 45 Timer3 门控翻转模式

## 7.4.3 寄存器

### TMR3(Timer3 的八位计数器)

地址:0XFBA

Bit	Name	Description	Attribute	Reset
7:0	TMR3[7:0]	8 位定时/计数器	R/W	0X00

### PR3(Timer3 的周期寄存器)

地址: 0XFB9

Bit	Name	Description	Attribute	Reset
7:0	PR3[7:0]	TMR3 周期寄存器	R/W	0XFF

### T3CON0(Timer3 控制寄存器)

地址: 0XFB8

Bit	Name	Description	Attribute	Reset
7:3	T3OUTPS[4:0]	Timer 分频选择位 00000: 1:1 分频                      10000: 1:17 分频 00001: 1:2 分频                      10001: 1:18 分频 00010: 1:3 分频                      10010: 1:19 分频 00011: 1:4 分频                      10011: 1:20 分频 00100: 1:5 分频                      10100: 1:21 分频 00101: 1:6 分频                      10101: 1:22 分频 00110: 1:7 分频                      10110: 1:23 分频 00111: 1:8 分频                      10111: 1:24 分频 01000: 1:9 分频                      11000: 1:25 分频 01001: 1:10 分频                      11001: 1:26 分频 01010: 1:11 分频                      11010: 1:27 分频 01011: 1:12 分频                      11011: 1:28 分频 01100: 1:13 分频                      11100: 1:29 分频 01101: 1:14 分频                      11101: 1:30 分频 01110: 1:15 分频                      11110: 1:31 分频 01111: 1:16 分频                      11111: 1:32 分频	R/W	0000
2	TMR3ON	Timer3 使能位 1: 使能 Timer3 0: 禁止 Timer3	R/W	0
1:0	T3CKPS[1:0]	Timer3 时钟预分频选择位 00: 预分频为 1 01: 预分频为 4 10: 预分频为 16 11: 预分频为 64	R/W	00

## T3CON1(Timer3 控制寄存器)

地址: 0XFB7

Bit	Name	Description	Attribute	Reset
7	TMR3GE	Timer3 的门控使能 1: Timer3 计数由 Timer3 门控功能控制 0: Timer3 计数由 Timer3 门控功能无关	R/W	0
6	T3GPOL	Timer3 的门控极性位 1: Timer3 门控为高电平有效(当门控信号为高电平时	R/W	0

		Timer3 计数) 0: Timer3 门控为低电平有效(当门控信号为低电平时 Timer3 计数)		
5	T3GTM	Timer3 的门控翻转模式位 1: 使能 Timer3 门控翻转模式 0: 禁止 Timer3 门控翻转模式	R/W	0
4:3	Reserved			
2	T3GVAL	Timer3 门控当前状态位 指示可提供工 TMR3 的 Timer3 门控信号的当前状态 不受门控 TMR3GE 的影响	R	0
1:0	T3GCK	Timer3 门控源选择位 00: PC0 引脚 01: PC1 引脚 10: CMP0 的输出 11: CMP1 的输出	R/W	00

## 7.5 看门狗定时器(WDT)

看门狗定时器(WDT)的运行依赖于芯片里的 RC 振荡器，无需任何额外电路即能工作，如在睡眠模式。在一般操作或睡眠模式情况下，看门狗定时器的溢出都会导致 MCU 复位同时 TO(RCON[31])位被清零。

配置字 WDTE 位(配置选项 1[2])与 PCON 的 WDTEN 位(PCON[0])都可以单独控制看门狗定时器。

如 WDTEN 位(PCON[0])与配置字 WDTE 位(配置选项 1[2])都清零,看门狗定时器不能工作。

在没有预置器时看门狗的溢出约为31.5/4.03/246.56/62.2ms,这个时间可以通过配置字1的WDTPS位(配置选项1[1:0])设置。

CLRWDWT 指令能使 WDT 和 TO 清零，启用看门狗可以防止超时，如果超时 MCU 能复位。

芯片处于调试模式中，WDT 被禁止使用。

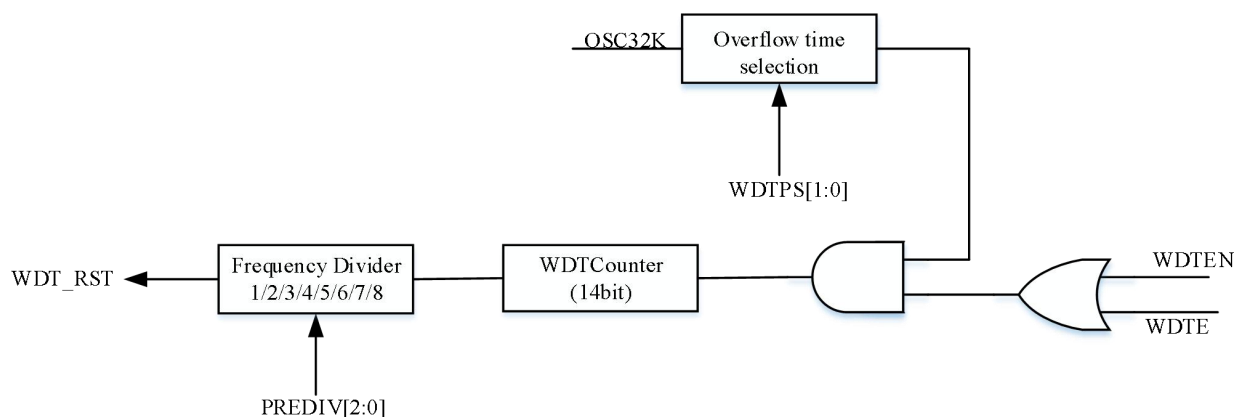


图 46 WDT 结构图

## PCON(寄存器)

地址: 0XFF1

Bit	Name	Description	Attribute	Reset
7	IPEN	高低优先级中断使能位 1: 允许高低优先级 0: 只允许高优先级中断	R/W	1
6	PLL	时钟倍频选择 1: 系统时钟为 32M 0: 系统时钟为 16M	R/W	0
5:4	Reserved			-
3:1	PREDIV[2:0]	WDT 分频 000: 1:1 001: 1:2 010: 1:3 011: 1:4	R/W	000

		100: 1:5 101: 1:6 110: 1:7 111: 1:8		
0	WDTEN	WDT 使能选择 1: 允许使能 WDT 0: 禁止使能 WDT	R/W	0

## 8 UART

通用异步收发器(Universa Asynchronous Receiver Transmitter,UART)模块是两个串行 I/O 模块之一。(通常, UART 也被称为串行通信接口)。支持异步通信正常模式, 可编程 8 位或者 9 位字符长度以及 1M 波特率下收发通信。支持单线半双工模式。

### 8.1 相关寄存器

表 8-1 UART 的 IO 引脚映射

UART MUX	TX	RX
0	PA1	PA2
1	PC0	PC1

UART 的 IO 引脚映射: PA1 和 PA2 为一组; PC0 和 PC1 为另外一组

#### UARTCON 寄存器

地址: 0XFB5

Bit	Name	Description	Attribute	Reset
7	SPEN	串口使能位 1: 使能串口(将 RX/DT 和 TX/CK 引脚配置为串口引脚) 0: 禁止串口(保持在复位状态)	R/W	0
6	MODE9	UART 的 9bit 模式的选择 1: 使能选择 9bit 模式 0: 禁止选择 9bit 模式	R/W	0
5	HALF_DUPLEX	单线半双工使能位 1: 使能 0: 禁止	R/W	0
4	TX_EN	发送使能位 1: 使能发送 0: 禁止发送	R/W	0
3	BRGM	与 BRGH 组成 UART 时钟选择位	R/W	0
2	BRGH	高波特率选择位 异步模式: 1: 高速 0: 低速 同步模式: 在此模式下未使用。	R/W	0
1	TX9_RX9	发送数据时: 9 位发送使能位 1: 选择 9 位发送 0: 选择 8 位发送	R/W	0

		接收数据时：9 位接收使能位 1：选择 9 位接收 0：选择 8 位接收		
0	BUSY	UART 的工作状态位 1：处于工作中状态 0：处于空闲状态	R	0

## SPBRG

地址：0XFB4

Bit	Name	Description	Attribute	Reset
7:0	SPBRG	波特率发生器	R/W	0x00

## RCREG

地址：0XFB3

Bit	Name	Description	Attribute	Reset
7:0	RCREG	接收缓冲寄存器	R	0x00

## TXREG

地址：0XFB2

Bit	Name	Description	Attribute	Reset
7:0	TXREG	发送缓冲寄存器	W	0x00

## PME 寄存器

地址：0XFB0

Bit	Name	Description	Attribute	Reset
7	UART_MUX	UART 的引脚映射 1：PC0(TX)和 PC1(RX) 0：PA1(TX)和 PA2(RX) 注意：配置字 DEBUG_UART=2'b11 时，当 PA3 为高电平时，硬件自动将 UART_MUX 功能映射成 0，并同时使能调试模式；当 PA3 为低电平，硬件恢复 UART_MUX 寄存器功能，CPU 可以正常控制 UART 的寄存器。	R/W	0
6	DTEN	死区时间使能 1：允许使能 0：禁止使能	R/W	0
5	HBPWMOE25	HBPWM25 映射的 IO 输出使能 1：允许使能	R/W	0

		0: 禁止使能		
4	HBPWMOE24	HBPWM24 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
3	HBPWMOE23	HBPWM23 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
2	HBPWMOE22	HBPWM22 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
1	HBPWMOE21	HBPWM21 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0
0	HBPWMOE20	HBPWM20 映射的 IO 输出使能 1: 允许使能 0: 禁止使能	R/W	0

## 8.2 波特率发生器

BRG 是一个 8 位的发生器，受 BRGH(UARTCON<2>)位控制。波特率计算公式如下：

表 8-2 波特率计算表格

BRGM	BRGH	波特率公式
1	0	$F_{sys}/[4*(SPBRG)]$
1	1	$F_{sys}/[2*(SPBRG)]$
0	0	$F_{sys}/[64*(SPBRG)]$
0	1	$F_{sys}/[16*(SPBRG)]$

针对工作在异步模式下，工作频率  $F_{sys}$  为 16MHz，采用 8 位 BRG，目标波特率为 9600bps 的器件：

目标波特率= $F_{sys}/(64*[SPBRG])$

求解 SPBRG：

$$X=((F_{sys}/\text{目标波特率})/64)$$

$$=((16000000)/9600/64)$$

$$=[26.042]=26$$

计算得到的波特率= $16000000/(64 \times 26)$

$$=9615$$

误差=(波特率计算结果-目标波特率)/目标波特率



$$=(9615-9600)/9600=0.16\% \text{误差}$$

目标波特率为 115200bps 的器件：

$$\text{目标波特率} = F_{\text{sys}} / (2 \times [\text{SPBRG}])$$

求解 SPBRG：

$$X = (F_{\text{sys}} / \text{目标波特率}) / 2$$

$$= ((16000000) / 115200) / 2$$

$$= [69.444] = 69$$

$$\text{计算得到的波特率} = 16000000 / (2 \times 69)$$

$$= 115942$$

$$\text{误差} = (\text{波特率计算结果} - \text{目标波特率}) / \text{目标波特率}$$

$$= (115942 - 115200) / 115200 = 0.64\% \text{误差}$$

## 8.3 异步发送

发送器的核心是发送(串行)移位寄存器(Transmit Shift Register, TSR)。移位寄存器从读/写发送缓冲寄存器 TXREG 中获取数据。TXREG 寄存器中的数据由软件装入。直到前一次装入的停止位已被发送，才会向 TSR 寄存器装入新数据。一旦停止位发送完毕，TXREG 寄存器中的新数据(如果有的话)就会被装入 TSR。

一旦 TXREG 寄存器向 TSR 寄存器传输了数据(在 1 个  $T_{CY}$  内发生)，TXREG 寄存器就为空，同时标志位 TXIF(PIR2<1>)置 1。可以通过将中断使能位 TXIE(PIE2<1>)置 1 或清零来使能/禁止该中断。不管 TXIE 的状态如何，只要中断发生，TXIF 就会置 1 并且不能用软件清零，而是在 TXREG 装入新数据时被清零。标志位 TXIF 指示的是 TXREG 寄存器的状态，而另一位 BUSY(UARTCON<0>)则指示 TSR 寄存器的状态。BUSY 是只读位，它在 TSR 寄存器为非空时被置 1。BUSY 位与任何中断均无关联，因此要确定 TSR 寄存器是否为空，用户只能对此位进行轮询。

设置异步发送的操作步骤如下：

- 初始化 SPBRG，设置合适的波特率。按需要将 BRGH 位置 1 或清零，以获得目标波特率。
- 若需要中断，将使能位 TXIE 置 1。
- 若需要发送 9 位数据，需将 MODE9 置 1。
- 通过将 TX\_EN 位置 1 使能发送，此操作同时也会将 TXIF 位置 1。
- 如果选择发送 9 位数据，应该将第 9 位数据装入 TX9\_RX9 位。
- 将数据装入 TXREG 寄存器(启动发送)。
- 若想使用中断，请确保将 INTCON 寄存器中的 GIEH/GIEL(INTCON<7>/INTCON<6>)置 1。

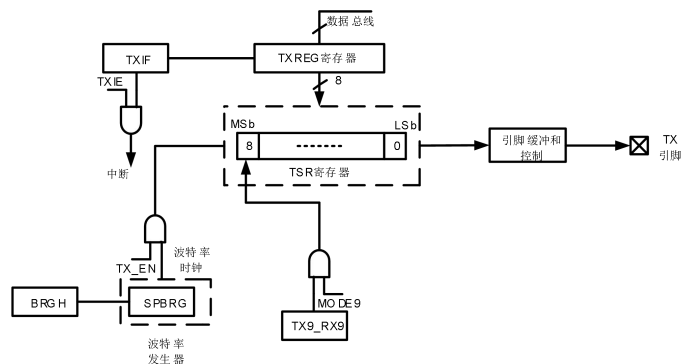


图 47 UART 发送原理图

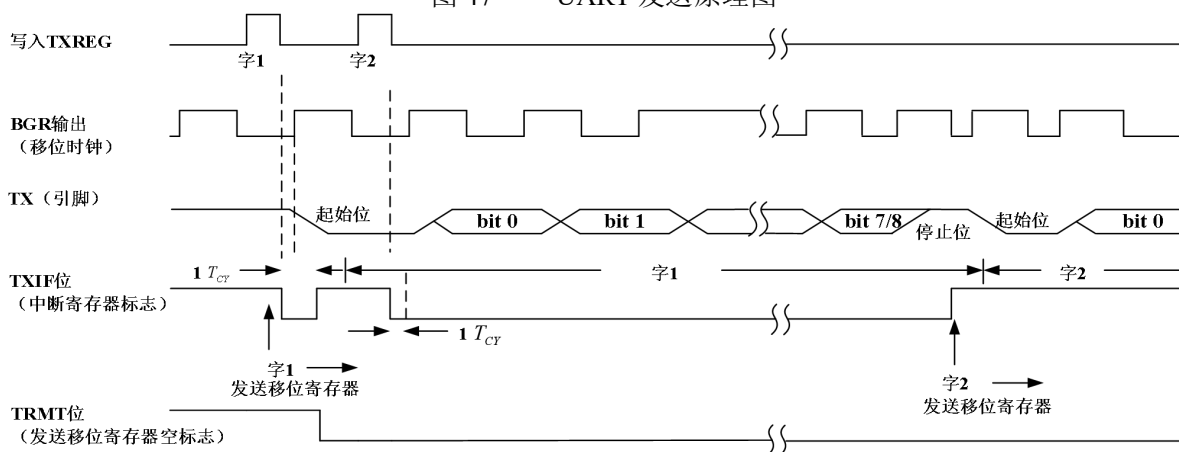


图 48 异步发送(背对背)

## 8.4 异步接收

如 UART 接收原理图所示，在 RX 引脚上接收数据，并驱动数据恢复电路。数据恢复电路实际上是一个以 16 倍波特率为工作频率的高速移位器，而主接收串行移位器的工作频率等于比特率或。此模式通常用于 RS-232 系统。

设置异步接收的操作步骤如下：

- 初始化 SPBRG，设置合适的波特率。按需要将 BRGH 位置 1 或清零，以获得目标波特率。
- 如果需要中断，将使能位 RCIE 置位。
- 若需要接收 9 位数据，需将 MODE9 置 1。
- 通过将 TX\_EN 位置 1，使能接收。
- 当接收完成时标志位 RCIF 将被置 1，此时如果使能位 RCIE 已置 1，还将产生一个中断。
- 读 TX9\_RX9 以获取第 9 位数据(如果已使能)，并判断是否在接收过程中是否发生了错误。
- 通过读 RCREG 寄存器来读取接收到的 8 位数据。
- 若想使用中断，请确保将 INTCON 寄存器中的 GIEH/GIEL(INTCON<7>/INTCON<6>)置 1。

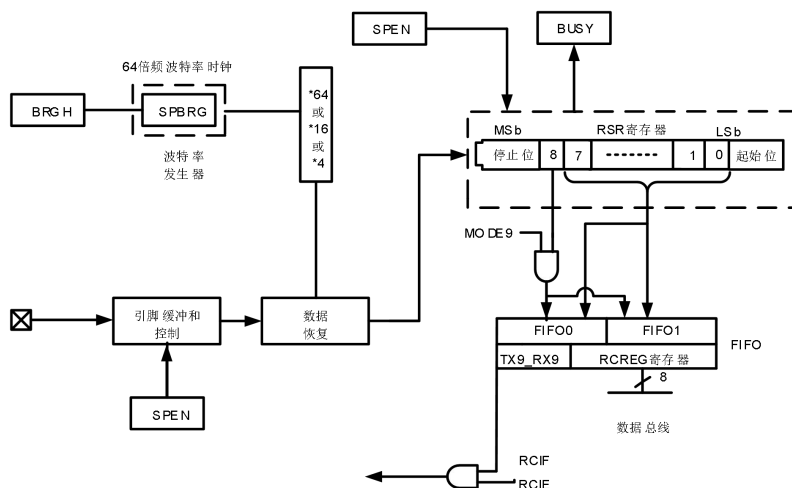


图 49 UART 接收原理图

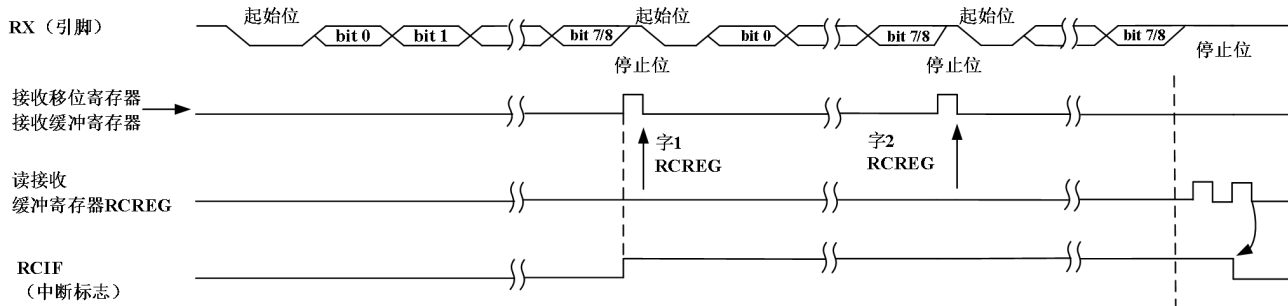


图 50 异步接收时序

## 8.5 单线半双工

单线半双工模式通过设置 UARTCON 寄存器的 HALF\_DUPLEX 位选择。当 HALF\_DUPLEX 为'1'时，UART 遵循单线半双工协议。在该模式下，RX 不在被使用，当没有数据传输时，TX 总是被释放。因此，在空闲状态或接收状态时表现为一个标准 I/O 口。该 I/O 在不被 UART 驱动时，应配置成悬空输入。除此之外，通信与正常 UART 模式类似，由软件来管理线上的冲突。当 TX\_EN 置 1 时，只要数据写入到 TXREG，发送就继续。单线工作时，要求外部总线有上拉电阻或者打开内部电阻。

设置单线半双工模式的操作步骤如下：

- 初始化 SPBRG，设置合适的波特率。按需要将 BRGH 位置 1 或清零，以获得目标波特率。
- 如果需要中断，将使能位 TXIE、RCIE 置位。
- 若需要发送或接收 9 位数据，需将 MODE9 置 1。
- 发送时，需将 TX 口配置为输出，TX\_EN 置 1；接收时，需将 TX 口配置为输入，TX\_EN 置 0。
- 当发送或接收完成时标志位 TXIF 或 RCIF 将被置 1，此时如果使能位 TXIE 或 RCIE 已置 1，还将产生相应的中断。
- 读 TX9\_RX9 以获取第 9 位数据(如果已使能)，并判断是否在接收过程中是否发生了错误。
- 将数据装入 TXREG 寄存器(启动发送)，并通过读 RCREG 寄存器来读取接收到的 8 位数据。
- 若想使用中断，请确保将 INTCON 寄存器中的 GIEH/GIEL(INTCON<7>/INTCON<6>)置 1。

## 9 中断

AD18E22X 系统具备以下中断源

- INT 管脚的外部中断
- Timer0 溢出中断
- Timer1 溢出中断以及上升沿和下降沿捕捉中断
- Timer2 溢出中断
- Timer3 溢出中断以及门控中断
- PORTA、PORTB、PORTC 输入改变中断
- ADC 中断
- CMP0 和 CMP1 中断
- PWM20、PWM22、PWM24 中断
- CCPHY 接收、发送中断
- UART 接收、发送中断

中断允许高优先级总控位 GIEH(INTCON[7])和中断允许低优先级总控位 GIEL(INTCON[6])，能使所有高低优先级的中断被开放(GIEH=1 或 GIEL=1)或屏蔽所有中断(GIEH=0 或 GIEL=0)，中断能否启用取决于 IPR 寄存器与 PIE 寄存器，同时保证 GIEH=1 或者 GIEL=1。

中断发生时 GIEH(GIEL)位(在中断发生前 GIEH(GIEL)位和该中断相关的中断屏蔽位置 1)被硬件清零从而禁止进一步中断(AD18E22X 区分中断优先级)，中断标志位在中断允许总控位 GIEH(GIEL)重新置 1 的时候需要被软件清零以防止重复中断。一个中断标志位(PBIF 除外的)会被它的中断事件置 1，而不管与它相关的中断屏蔽位是否启用。通过 IPR, PIR 和 PIE 的对应位来判断中断优先级，是否发生中断以及中断类型。

### 9.1 外部中断

外部中断 INT0 管脚上升沿还是下降沿触发由 INT0EDG 位(T2CON1 寄存器)决定，当一个有效的跳变发生时标志位 INT0IF 置 1，如 INT0IE 位清零，该中断被屏蔽。

在睡眠之前 INT0IE 位已被置 1，INT0 管脚可以作为系统睡眠唤醒条件。在睡眠之前 GIEH(GIEL)位被置 1，CPU 唤醒以后会执行中断服务程序，否则会运行睡眠以后的下一条指令。

外部中断 INT1 管脚上升沿还是下降沿触发由 INT1EDG 位(T2CON1 寄存器)决定,当一个有效的跳变发生时标志位 INT1IF 置 1，如 INT1IE 位清零，该中断被屏蔽。

在睡眠之前 INT1IE 位已被置 1，INT1 管脚可以作为系统睡眠唤醒条件。在睡眠之前 GIEH(GIEL)位被置 1，CPU 唤醒以后会执行中断服务程序，否则会运行睡眠以后的下一条指令。

外部中断 INT2 管脚上升沿还是下降沿触发由 INT2EDG 位(T2CON1 寄存器)决定，当一个有效的跳变发生时标志位 INT2IF 置 1，如 INT2IE 位清零，该中断被屏蔽。

在睡眠之前 INT2IE 位已被置 1，INT2 管脚可以作为系统睡眠唤醒条件。在睡眠之前 GIEH(GIEL)位被置 1，CPU 唤醒以后会执行中断服务程序，否则会运行睡眠以后的下一条指令。

## 9.2 Timer0 中断

TMR0 发生溢出 TMR0=PR0 时 TMR0IF 标志位置 1, TMR0IE 位清零, 该中断被屏蔽。

## 9.3 Timer1 溢出中断以及上升沿和下降捕捉中断

当 TMR1ON=1 时, Timer1 定时器开始从 TMR1H[15:8]与 TMR1L[7:0]组成的 16 位预设值开始计数, 在计数的过程中 PR1H[15:8]和 PR1L[7:0]组成的 16 位数值与[TIMER1H:TIMER1L]寄存器的值相等时, TMR1IF 标志位置 1, TMR1IE 位清零, 该中断被屏蔽。

配置 T1CON1 寄存器的 T1M[1:0]=2'B01, T1CAP\_EDGE=0, 选择捕捉模式 1, 输入第一个上升沿时, CNT1 寄存器清零, 下降沿时将捕捉的值读取到 PR1 寄存器, 并产生 T1PDIF 中断标志, 输入第二个上升沿时将捕捉的值立即读取到 TMR1 寄存器中, 并产生 T1PRIF;

配置 T1CON1 寄存器的 T1M[1:0]=2'B01, T1CAP\_EDGE=1, 选择捕捉模式 1, 输入第一个下降沿时, CNT1 寄存器清零, 上升沿时将捕捉的值读取到 PR1 寄存器, 并产生 T1PDIF 中断标志, 输入第二个下降沿时将捕捉的值立即读取到 TMR1 寄存器中, 并产生 T1PRIF;

## 9.4 Timer2 溢出中断

当 TMR2ON=1 时, Timer2 定时器开始从零计数, 在计数的过程中 PR2[7:0]组成的 8 位数值与 TIMER2 寄存器的值相等时, Timer2 定时器也清零。TMR2IF 标志位置 1, TMR2IE 位清零, 该中断被屏蔽。

## 9.5 Timer3 溢出中断以及门控中断

当 TMR3ON=1 时, Timer3 定时器开始从零计数, 在计数的过程中 PR3[7:0]组成的 8 位数值与 Timer3 寄存器的值相等时, Timer3 定时器也清零。TMR3IF 标志位置 1, TMR3IE 位清零, 该中断被屏蔽。

允许 Timer3 门控事件中断时, 可在门控事件完成时产生一个中断。出现 T3GVAL 的下降沿时, PIR3 寄存器中的 TMR3GIF 标志位将置 1。如果 PIE3 寄存器中的 TMR3GIE 位置 1, 则会识别出一个中断。即使 Timer3 门控未使能(TMR3GE 位清零), TMR3GIF 标志位也能工作。

## 9.6 PortA 输入改变中断

输入改变中断触发时 PA[5:0], PAIF 标志位置 1(PIR2[5]), PAIE 位(PIE2[5])清零, 该中断被屏蔽。PAIE 在睡眠之前置 1, PortA 输入脚改变中断也可以作为睡眠唤醒条件。在睡眠之前 GIE 位已被置 1 机器唤醒以后会执行中断服务程序, 否则会运行睡眠以后的下一条指令。上升沿和下降沿都可以触发中断。

使能 PAINTMASK, 输入改变可以产生上升沿中断;

使能 PAINTMASK 且在中断函数中读取对应中断的 PIN, 可以产生双沿中断(即上升沿和下降沿都可以触发中断)

## 9.7 PortB 输入改变中断

输入改变中断触发时 PB[5:0], PBIF 标志位置 1(PIR2[6]), PBIE 位(PIE2[6])清零, 该中断被屏蔽。PBIE 在睡眠之前置 1, PortB 输入脚改变中断也可以作为睡眠唤醒条件。在睡眠之前 GIE 位已被置 1 机器唤醒以后会执行中断服务程序, 否则会运行睡眠以后的下一条指令。上升沿和下降沿都可以触发中断。

使能 PBINTMASK, 输入改变可以产生上升沿中断;

使能 **PBINTMASK** 且在中断函数中读取对应中断的 **PIN**，可以产生双沿中断(即上升沿和下降沿都可以触发中断)

## 9.8 PortC 输入改变中断

输入改变中断触发时 **PC[6:0]**，**PCIF** 标志位置 1(**PIR2[7]**)。**PCIE** 位(**PIE2[7]**)清零，该中断被屏蔽。**PCIE** 在睡眠之前置 1，PortC 输入脚改变中断也可以作为睡眠唤醒条件。在睡眠之前 **GIE** 位已被置 1 机器唤醒后会执行中断服务程序，否则会运行睡眠以后的下一条指令。上升沿和下降沿都可以触发中断。

使能 **PCINTMASK**，输入改变可以产生上升沿中断；

使能 **PCINTMASK** 且在中断函数中读取对应中断的 **PIN**，可以产生双沿中断(即上升沿和下降沿都可以触发中断)

## 9.9 PWM2 中断

当 **T2M[1:0]=2'b10** 开启 PWM 模式，当 **TMR2ON=1** 时，**TMR2** 寄存器开始计数，在计数的过程中 **DUTYn[7:0]**组成的 8 位数值与 **TMR2** 寄存器的值相等时，**PWMnIF(PIR1[7:5])**标志位置 1。**PWMnIE** 位(**PIE1[7:5]**)清零，该中断被屏蔽。

当 **T2M[1:0]=2'b11** 开启 PWM 中心对齐模式，当 **TMR2ON=1** 时，**TMR2** 寄存器开始计数，在计数的过程中 **DUTYn[7:0]**组成的 8 位数值与 **TMR2** 寄存器的值相等，或 **TMR2** 寄存器的值为 0 时；**PWMnIF(PIR1[7:5])**标志位置 1。**PWMnIE** 位(**PIE1[7:5]**)清零，该中断被屏蔽。

注：n=20/22/24；

## 9.10 比较器中断

通过寄存器 **CMP0CON1[3:2]**选择不同模式的中断，当 **CMP0OUT** 从 0 变为 1 时，**CMP0IF** 置位(**CMP0IF=1**)。读取 **CMP0CON0** 寄存器后，当 **CMP0OUT** 输出发生改变，**CMP0IF** 置位(**CMP0IF=1**)。**CMP0IE** 位(**PIE1[6]**)清零，**CMP0** 中断被屏蔽。

通过寄存器 **CMP1CON1[3:2]**选择不同模式的中断，当 **CMP1OUT** 从 0 变为 1 时，**CMP1IF** 置位(**CMP1IF=1**)。读取 **CMP1CON0** 寄存器后，当 **CMP1OUT** 输出发生改变，**CMP1IF** 置位(**CMP1IF=1**)。**CMP1IE** 位(**PIE1[7]**)清零，**CMP1** 中断被屏蔽。

## 9.11 ADC 中断

当 **GO** 从 1 变为 0 时，**ADIF** 置位为 1，**ADIE** 位(**PIE3[2]**)清零，该中断被屏蔽

## 9.12 中断的相关寄存器

**INTCON** 寄存器

地址:0XFF2

Bit	Name	Description	Attribute	Reset
7	GIE/GIEH	全局中断使能位 当 <b>IPEN=0</b> 时： 1：使能所有中断	R/W	0

		0: 禁止所有中断 <u>当 IPEN=1 时:</u> 1: 使能所有高优先级中断 0: 禁止所有高优先级中断		
6	PEIE/GIEL	外设中断使能位 <u>当 IPEN=0 时:</u> 1: 使能所有外设中断 0: 禁止所有外设中断 <u>当 IPEN=1 时:</u> 1: 允许所有低优先级的外设中断 0: 禁止所有低优先级的外设中断	R/W	0
5:0	Reserved			

注意: IPEN=1 时, GIE 与 GIEH 功能相同, PEIE 与 GIEL 功能相同; IPEN=0 时, 默认进入高优先级中断服务函数, 无低优先级中断服务函数, 关闭总中断 PEIE=0。

## IPRI 寄存器

地址:0XFB1

Bit	Name	Description	Attribute	Reset
7	PWM24IP	PWM24 中断优先级 1: 高优先级 0: 低优先级	R/W	1
6	PWM22IP	PWM22 中断优先级 1: 高优先级 0: 低优先级	R/W	1
5	PWM20IP	PWM20 中断优先级 1: 高优先级 0: 低优先级	R/W	1
4	TMR2IP	Timer2 中断优先级 1: 高优先级 0: 低优先级	R/W	1
3	T1PRIP	Timer1 捕捉上升沿中断优先级 1: 高优先级 0: 低优先级	R/W	1
2	T1PDIP	Timer1 捕捉下降沿中断优先级 1: 高优先级	R/W	1



		0: 低优先级		
1	TMR1IP	Timer1 中断优先级 1: 高优先级 0: 低优先级	R/W	1
0	TMR0IP	Timer0 中断优先级 1: 高优先级 0: 低优先级	R/W	1

## PIR1 寄存器

地址:0XFB0

Bit	Name	Description	Attribute	Reset
7	PWM24PIF	PWM24 中断标志, 发生中断置 1, 通过软件写 0 清零	R/W	0
6	PWM22PIF	PWM22 中断标志, 发生中断置 1, 通过软件写 0 清零	R/W	0
5	PWM20PIF	PWM20 中断标志, 发生中断置 1, 通过软件写 0 清零	R/W	0
4	TMR2IF	溢出中断标志, 发生 Timer2 溢出中断置 1, 通过软件写 0 清零	R/W	0
3	T1PRIF	Timer1 捕获上升沿中断标志位 1: 产生捕捉上升沿中断标志 0: 未产生捕捉上升沿中断 通过软件写 0 清零	R/W	0
2	T1PDIF	Timer1 捕捉下降沿中断标志位 1: 产生捕捉下降沿中断标志 0: 未产生捕捉下降沿中断 通过软件写 0 清零	R/W	0
1	TMR1IF	溢出中断标志, 发生 Timer1 溢出中断置 1, 通过软件写 0 清零	R/W	0
0	TMR0IF	溢出中断标志, 发生 Timer0 溢出中断置 1, 通过软件写 0 清零	R/W	0

## PIE1 寄存器

地址:0XFAF

Bit	Name	Description	Attribute	Reset
7	PWM24IE	PWM24 中断允许位 1: 使能外部中断 0: 禁止外部中断	R/W	0
6	PWM22IE	PWM22 中断允许位 1: 使能外部中断 0: 禁止外部中断	R/W	0
5	PWM20IE	PWM20 中断允许位	R/W	0



		1: 使能外部中断 0: 禁止外部中断		
4	TMR2IE	Timer2 溢出中断允许位 1: 使能 Timer2 溢出中断 0: 禁止 Timer2 溢出中断	R/W	0
3	T1PRIE	Timer1 捕捉上升沿中断使能 1: 使能捕捉上升沿中断 0: 禁止捕捉上升沿中断	R/W	0
2	T1PDIE	Timer1 捕捉下降沿中断使能 1: 使能捕捉下降沿中断 0: 禁止捕捉下降沿中断	R/W	0
1	TMR1IE	Timer1 溢出中断允许位 1: 使能 Timer1 溢出中断 0: 禁止 Timer1 溢出中断	R/W	0
0	TMR0IE	Timer0 溢出中断允许位 1: 使能 Timer0 溢出中断 0: 禁止 Timer0 溢出中断	R/W	0

## IPR2 寄存器

地址:0XF AE

Bit	Name	Description	Attribute	Reset
7	PCIP	PortC 输入改变中断优先级 1: 高优先级 0: 低优先级	R/W	1
6	PBIP	PortB 输入改变中断优先级 1: 高优先级 0: 低优先级	R/W	1
5	PAIP	PortA 输入改变中断优先级 1: 高优先级 0: 低优先级	R/W	1
4	INT2IP	外部中断 2 优先级 1: 高优先级 0: 低优先级	R/W	1
3	INT1IP	外部中断 1 优先级 1: 高优先级	R/W	1

		0: 低优先级		
2	INT0IP	外部中断 0 优先级 1: 高优先级 0: 低优先级	R/W	1
1	TXIP	UART 的发送中断优先级 1: 高优先级 0: 低优先级	R/W	1
0	RCIP	UART 的接收中断优先级 1: 高优先级 0: 低优先级	R/W	1

## PIR2 寄存器

地址:0XFAD

Bit	Name	Description	Attribute	Reset
7	PCIF	PC 口的中断标志位 1: 至少一个 PORTC 引脚的电平状态发生了改变(必须用软件清零, 写 0 清 0) 0: 没有一个 PORTC 引脚的电平状态发生改变	R/W	0
6	PBIF	PB 口的中断标志位 1: 至少一个 PORTB 引脚的电平状态发生了改变(必须用软件清零, 写 0 清 0) 0: 没有一个 PORTB 引脚的电平状态发生改变	R/W	0
5	PAIF	PA 口的中断标志位 1: 至少一个 PORTA 引脚的电平状态发生了改变(必须用软件清零, 写 0 清 0) 0: 没有一个 PORTA 引脚的电平状态发生改变	R/W	0
4	INT2IF	INT2 外部中断标志位 1: 产生 INT2 外部中断标志位(必须由软件清零, 写 0 清 0) 0: 未产生 INT2 外部中断	R/W	0
3	INT1IF	INT1 外部中断标志位 1: 产生 INT1 外部中断标志位(必须由软件清零, 写 0 清 0) 0: 未产生 INT1 外部中断	R/W	0
2	INT0IF	INT0 外部中断标志位 1: 产生 INT0 外部中断标志位(必须由软件清零, 写 0 清 0) 0: 未产生 INT0 外部中断	R/W	0

1	TXIF	UART 的发送中断标志位 1: UART 发送缓冲器 TXREG 为空(写入 TXREG 时清零) 0: UART 发送缓冲器已满	R/W	0
0	RCIF	UART 的接收中断标志位 1: UART 接收缓冲器 RCREG 已满(读取 RCREG 时清零) 0: UART 接收缓冲器为空	R/W	0

## PIE2 寄存器

地址:0XFAC

Bit	Name	Description	Attribute	Reset
7	PCIE	PortC 输入改变中断允许位 1: 使能 PortC 输入改变中断 0: 禁止 PortC 输入改变中断	R/W	0
6	PBIE	PortB 输入改变中断允许位 1: 使能 PortB 输入改变中断 0: 禁止 PortB 输入改变中断	R/W	0
5	PAIE	PortA 输入改变中断允许位 1: 使能 PortA 输入改变中断 0: 禁止 PortA 输入改变中断	R/W	0
4	INT2IE	外部中断 2 允许位 1: 使能 INT2 中断 0: 禁止 INT2 中断	R/W	0
3	INT1IE	外部中断 1 允许位 1: 使能 INT1 中断 0: 禁止 INT1 中断	R/W	0
2	INT0IE	外部中断 0 允许位 1: 使能 INT0 中断 0: 禁止 INT0 中断	R/W	0
1	TXIE	UART 的发送中断允许位 1: 使能 UART 的发送中断 0: 禁止 UART 的发送中断	R/W	0
0	RCIE	UART 的接收中断允许位 1: 使能 UART 的接收中断 0: 禁止 UART 的接收中断	R/W	0

## IPR3 寄存器

地址:0XFAB

Bit	Name	Description	Attribute	Reset
7	Reserved			
6	TMR3GIP	Timer3 门控中断优先级 1: 高优先级 0: 低优先级	R/W	1
5	TMR3IP	Timer3 中断优先级 1: 高优先级 0: 低优先级	R/W	1
4	CMP1IP	CMP1 中断优先级 1: 高优先级 0: 低优先级	R/W	1
3	CMP0IP	CMP0 中断优先级 1: 高优先级 0: 低优先级	R/W	1
2	ADIP	ADC 中断优先级 1: 高优先级 0: 低优先级	R/W	1
1:0	Reserved			

## PIR3 寄存器

地址:0XFAB

Bit	Name	Description	Attribute	Reset
7	Reserved			
6	TMR3GIF	Timer3 的门控中断标志位, 通过软件写 0 清零 1: 中断处于待处理状态 0: 中断不处于待处理状态	R/W	0
5	TMR3IF	溢出中断标志, 发生 Timer3 溢出中断置 1, 通过软件写 0 清零	R/W	0
4	CMP1IF	CMP1 中断标志位 1: 产生 CMP1 中断标志位(必须由软件清零, 写 0 清 0) 0: 未产生 CMP1 中断标志位	R/W	0
3	CMP0IF	CMP0 中断标志位 1: 产生 CMP0 中断标志位(必须由软件清零, 写 0 清 0) 0: 未产生 CMP0 中断标志位	R/W	0

2	ADIF	A/D 转换产生中断标志 1: A/D 转换已完成(必须由软件清零, 写 0 清 0) 0: A/D 转换未完成	R/W	0
1:0	Reserved			

## PIE3 寄存器

地址:0XFA9

Bit	Name	Description	Attribute	Reset
7	Reserved			
6	TMR3GIE	Timer3 门控中断允许位 1: 使能 Timer3 门控采集中断 0: 禁止 Timer3 门控采集中断	R/W	0
5	TMR3IE	Timer3 溢出中断允许位 1: 使能 Timer3 溢出中断 0: 禁止 Timer3 溢出中断	R/W	0
4	CMP1IE	CMP1 中断允许位 1: 使能 CMP1 中断 0: 禁止 CMP1 中断	R/W	0
3	CMP0IE	CMP0 中断允许位 1: 使能 CMP0 中断 0: 禁止 CMP0 中断	R/W	0
2	ADIE	ADC 中断允许位 1: 使能 ADC 中断 0: 禁止 ADC 中断	R/W	0
1:0	Reserved			

## 10 固定参考电压(FVR)

固定参考电压或 FVR 是稳定的参考电压，独立于 VDD；输入通道选择 VREF1P2 时，可选 1.2V、2.4V、3.6V。可配置 FVR 的输出为以下各项提供参考电压：

- ADC 参考电压和通道输入电压
- 比较器 CMP 正端和负端参考电压
- DAC 参考电压

注：本章涉及到的具体电压均为内部参考电压产生，无需单独开关；

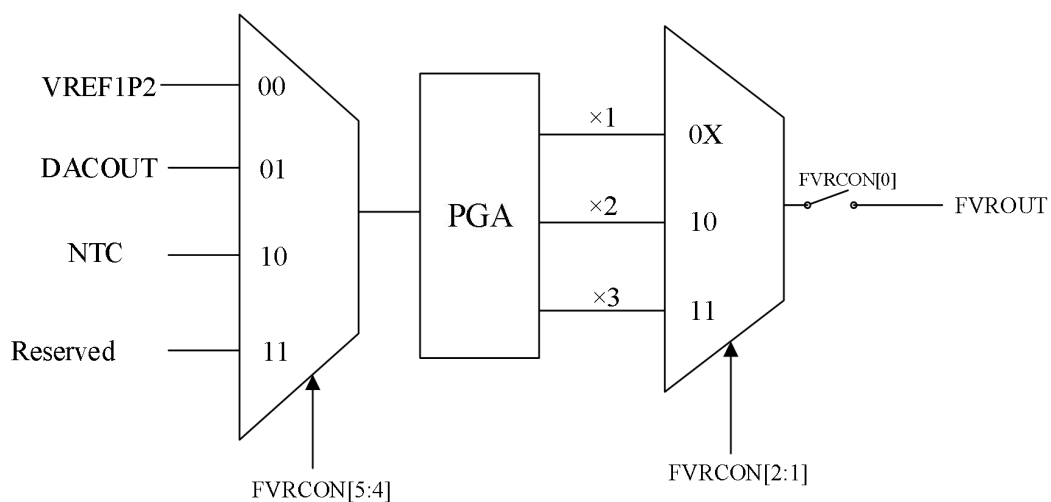


图 51 FVR 结构图

### FVRCON 寄存器

地址：0XFD3

Bit	Name	Description	Attribute	Reset
7:6	Reserved			
5:4	FVR_SEL[1:0]	FVR 输入通道选择位 00: VREF1P2 01: DACOUT 10: NTC 11: Reserved	R/W	000
3	Reserved			
2:1	FVRPGA[1:0]	FVR 电压放大倍数选择位 0X: 1 倍 10: 2 倍 11: 3 倍	R/W	00
0	FVREN	FVR 使能	R/W	0

		1: 使能 FVR 0: 禁止 FVR		
--	--	------------------------	--	--

NTC 说明: NTC 为内部负温度系数电压, 斜率为 $-0.737\text{mV}/^{\circ}\text{C}$ 。NTC 电压与温度对应关系如下(该数据仅为数据参考值, 并不是每个芯片测试):

表 10-1 NTC 电压与温度对应关系

Temperature( $^{\circ}\text{C}$ )	NTC(V)	Temperature( $^{\circ}\text{C}$ )	NTC(V)
-40	1.0454	+30	0.9954
-30	1.0385	+40	0.9880
-20	1.0315	+50	0.9805
-10	1.0244	+60	0.9730
0	1.0173	+70	0.9654
+10	1.0100	+80	0.9578
+20	1.0027		

NTC 可通过 FVR 模块配置  $\text{FVR\_SEL}[1:0]=2'b10$  进行输出, 经 ADC 采集 FVR 输出并查询上表实现实时温度读取。

## 11 模数转换器(ADC)

AD18E22X 包含一个 16 输入通道的 12 位 ADC，能够将一个模拟输入转换成 12 位数字信号。在根据需  
要配置好 A/D 模块之后，必须在转换开始之前对选定的通道进行采样。当采集启动延时 ACQT 计数完成后，  
硬件启动 A/D 转换。A/D 转换完成之后，转换结果被装入{ADRESH:ADRESL}寄存器，GO/DONE 位被硬  
件清零且 A/D 中断标志位 ADIF 被置 1。

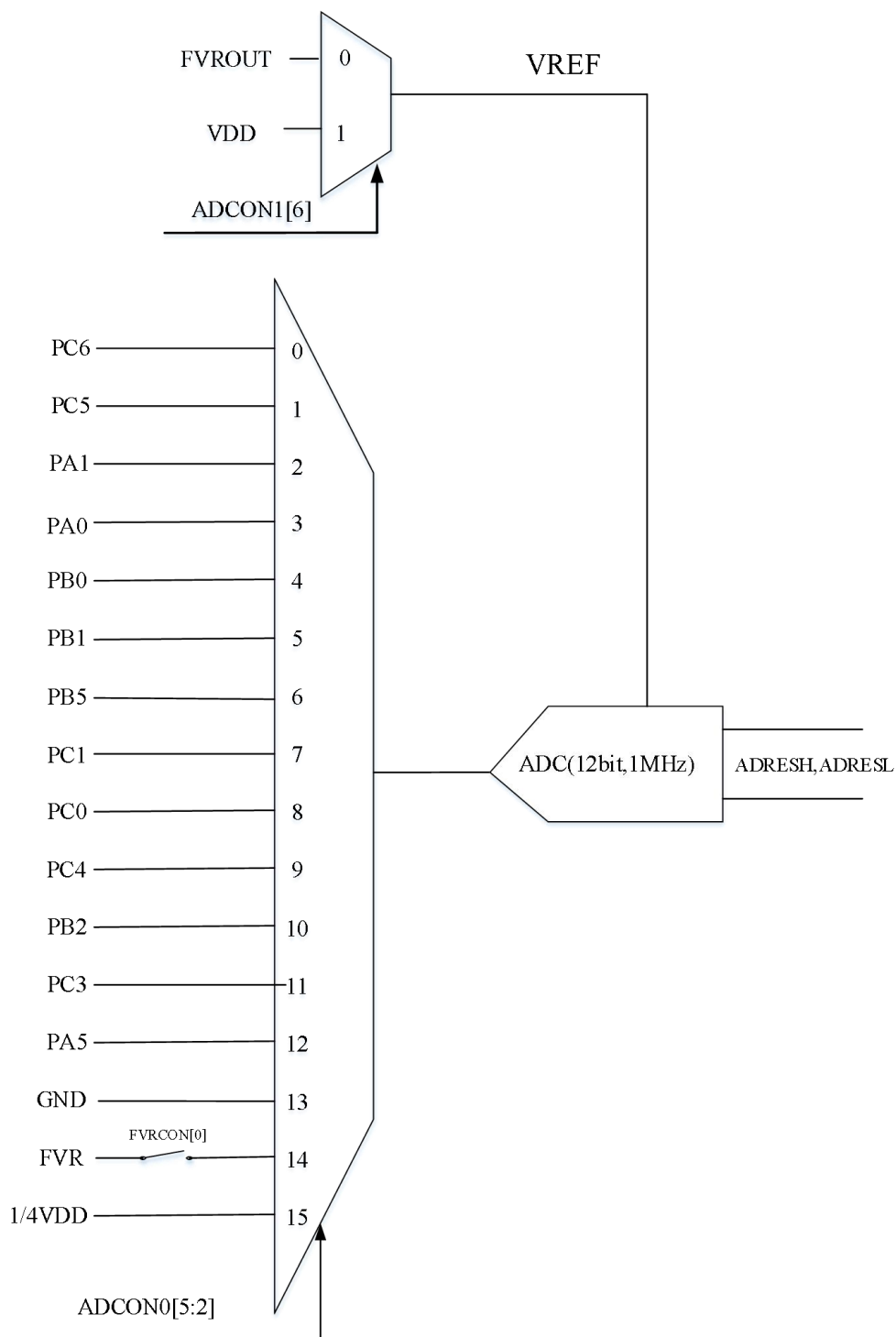


图 52 A/D 结构图



执行 A/D 转换步骤:

配置 A/D 模块

- 选择参考电压(通过 ADCON1[6]寄存器)
  - 选择 A/D 输入通道(通过 ADCON0[5:2]寄存器)
  - 选择 A/D 采集时间(通过 ADCON1[5:3]寄存器)
  - 选择 A/D 转换时间(通过 ADCON1[2:0]寄存器)
  - 使能 A/D 模块(通过 ADCON0[0]寄存器)
- 1) 需要时, 配置 A/D 中断
    - 清零 ADIF 位
    - 将 ADIE 位置 1
    - 将 GIEH、GIEL、IPEN 位置 1
  - 2) 如果需要, 需等待所需的采集时间。
  - 3) 启动转换:
    - 将 GO/DONE 位置 1(ADCON0[1])
  - 4) 等待 A/D 转换完成, 通过以下两种方式之一判断转换是否完成:
    - 查询 GO/DONE 位是否被清零
    - 等待 A/D 中断
  - 5) 读取 A/D 结果寄存器{ADRESH:ADRESL}, 需要时将 ADIF 位清零。
  - 6) 如需再次进行 A/D 转换, 返回步骤 1 或者步骤 2。

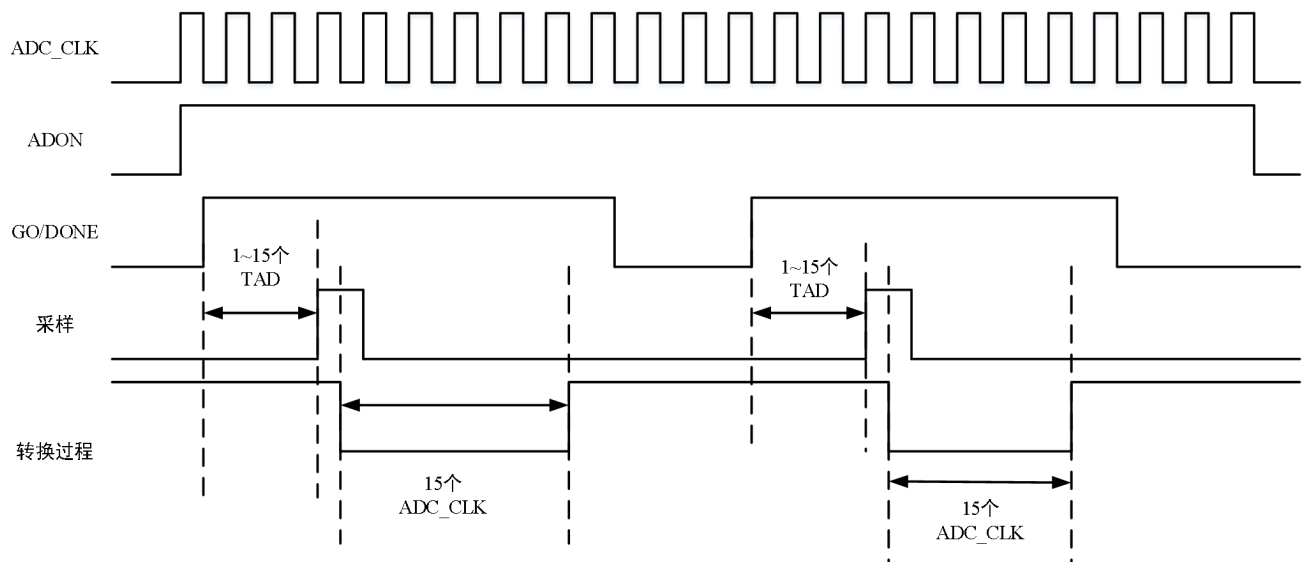


图 53 ADC 时序转换图

外部输入最大阻抗计算公式:

$$R_{AIN} < \frac{T_S}{f_{ADC} * C_{ADC} * \ln(2^{N+2})} - R_{ADC}$$

该公式用于确定允许误差低于 1/4LSB 的最大外部阻抗，N=12；

$$f_{\text{ADC}}=8\text{MHz}; C_{\text{ADC}}=2.433\text{pF};$$

表 11-1 外部信号源与时钟频率

VDD(V)	R <sub>ADC</sub> (KΩ)	T <sub>s</sub> (Cycles)	t <sub>s</sub> (μs)	R <sub>AIN</sub> max(KΩ)
5.0	2.501	3	0.375	13.382
3.3	3.276	3	0.375	12.607

**ADRESH(AD 转换结果的高 4 位)**

地址：0XFA3

Bit	Name	Description	Attribute	Reset
7:4	Reserved			
3:0	ADRESH	AD 转换结果的高 4 位	R/W	0000

**ADRESL(AD 转换结果的低 8 位)**

地址：0XFA2

Bit	Name	Description	Attribute	Reset
7:0	ADRESL	AD 转换结果的低 8 位	R/W	0X00

**ADCON0(ADC 控制寄存器 0)**

地址：0XFA1

Bit	Name	Description	Attribute	Reset
7	ADFM	AD 结果对齐标志 1: 左对齐 ADRESH=ADC[11:4] 左对齐 ADRESL={ADC[3:0],4'b0} 0: 右对齐 ADRESH={4'b0,ADC[11:8]} 右对齐 ADRESL=ADC[7:0]	R/W	0
6	Reserved			
5:2	CHS[3:0]	CHS3:CHS0—模拟通道选择位 0000: ADC 通道 0(PC6) 0001: ADC 通道 1(PC5) 0010: ADC 通道 2(PA1) 0011: ADC 通道 3(PA0) 0100: ADC 通道 4(PB0) 0101: ADC 通道 5(PB1) 0110: ADC 通道 6(PB5) 0111: ADC 通道 7(PC1) 1000: ADC 通道 8(PC0) 1001: ADC 通道 9(PC4)	R/W	0000

		1010: ADC 通道 10(PB2) 1011: ADC 通道 11(PC3) 1100: ADC 通道 12(PA5) 1101: ADC 通道 13(GND) 1110: ADC 通道 14(FVR) 1111: ADC 通道 15(1/4VDD)		
1	GO/DONE	GO/DONE–A/D 转换状态位 当 ADON=1 时: 1: A/D 转换正在进行 0: A/D 空闲	R/W	0
0	ADON	ADON–A/D 模拟使能位 1: 使能 A/D 转换器模块 0: 禁止 A/D 转换器模块	R/W	0

**ADCON1(ADC 控制寄存器 1)**

地址: 0XFA0

Bit	Name	Description	Attribute	Reset
7	Reserved			
6	ADVREF	A/D 参考电压选择位 1: VDD 0: FVR0UT	R/W	0
5:3	ACQT[2:0]	A/D 延时采集时间选择 000: 1TAD 001: 3TAD 010: 5TAD 010: 5TAD 100: 9TAD 101: 11TAD 110: 13TAD 111: 15TAD 1 个 TAD 为 1 个 ADC_CLK	R/W	000
2:0	ADCS[2:0]	A/D 转换时钟选择位 000: Fsys/2 001: Fsys/8 010: Fsys/32	R/W	000

		011: OSC32K 100: Fsys/4 101: Fsys/16 110: Fsys/64 111: OSC32K		
--	--	---	--	--

## 12 数模转换器(DAC)

AD18E22X 包含一个数模转换器 DAC。DAC 是由一串电阻所组成，可以产生不同层次的参考电压，DACON 寄存器的 4 和 5 位用来选择电阻串的最高和最低值；DAC[3:0]用于选择所要的电压值，该值由 DACS5，DACS4 来决定。下图显示了四个不同选择时，内部参考电压值的计算。DAC 输出电压范围可以从 $(1/32)*VDD$  到 $(3/4)*VDD$ 。

### 12.1 DAC 参考电压选择寄存器

**DACCON**

地址：0XFA4

Bit	Name	Description	Attribute	Reset
7	DACVREF	DAC 参考电压选择位 1: VDD 0: FVR0UT	R/W	0
6	DACEN	DAC 的使能 1: 允许使能 0: 禁止使能	R/W	0
5	DACS5	DAC 正端电阻抽头选择	R/W	0
4	DACS4	DAC 负端电阻抽头选择	R/W	0
3:0	DAC[3:0]	DAC 输出选择	R/W	0000

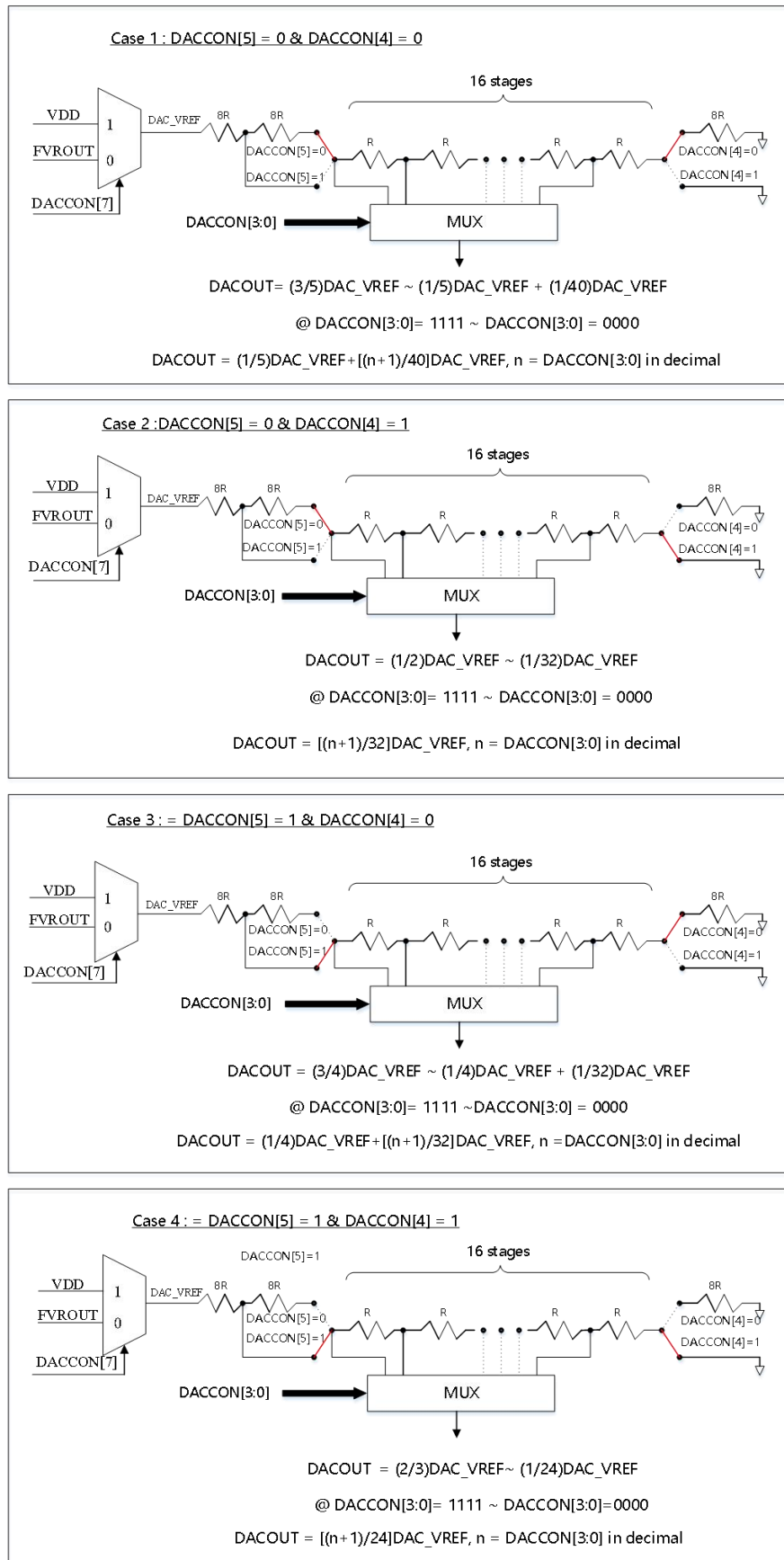


图 54 DAC 框图

## 13 比较器

AD18E22X 提供两个比较器，可以选取多个输入作为比较器输入源。CMP0 为轨对轨类型输入，支持输入信号范围 0~VDD；CMP1 为 PMOS 类型输入，支持输入信号范围 0~VDD-1.5V。

比较器的迟滞可以通过软件可编程比较器控制寄存器 CMP0CON1/CMP1CON1 设置，比较器迟滞电压通过 CMP0CON1[0]/CMP1CON1[0]使能，上升沿和下降沿的迟滞电压都为 50mV。

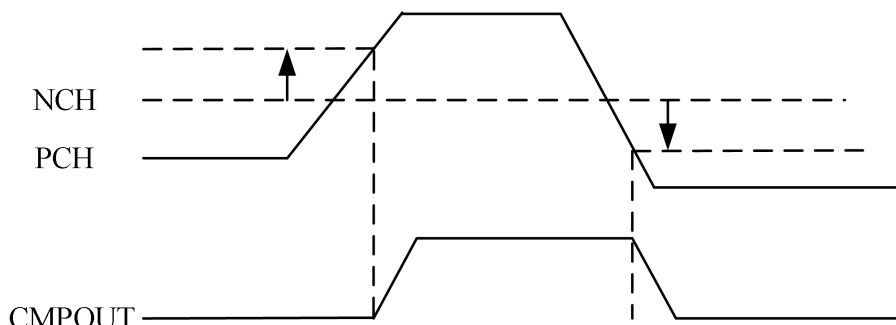


图 55 比较器迟滞图

### 13.1 比较器 CMP0

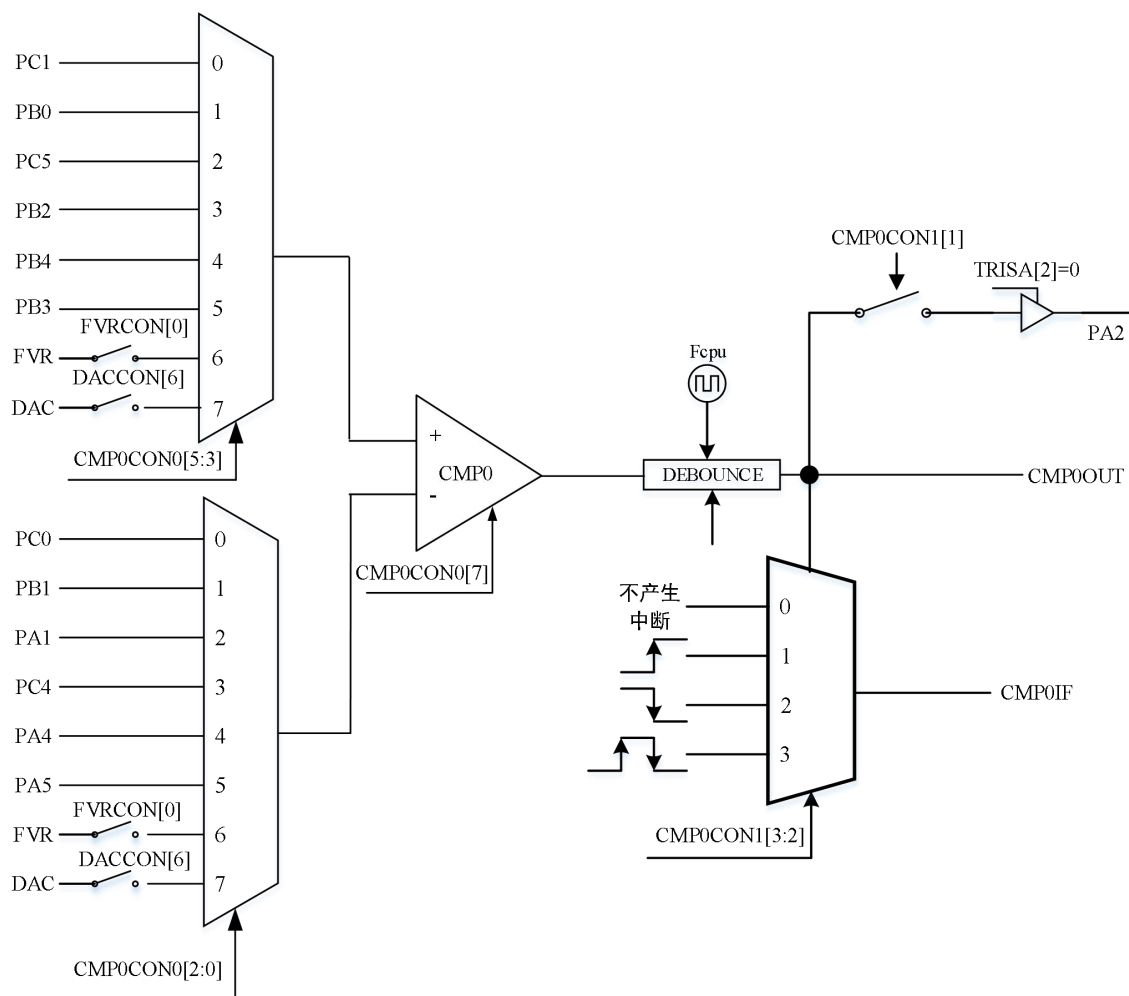


图 56 CMP0 电路图

## 注意事项

1、CMP0 的输出极性见 T2CON1[3]位，工作时钟源的选择见 T2CON1[2]位；

### CMP0CON0(比较器控制寄存器)

地址：0XFA8

Bit	Name	Description	Attribute	Reset
7	CMP0EN	比较器 0 的使能 1: 使能 CMP0 0: 禁止 CMP0	R/W	0
6	CMP0OUT	CMP0 比较器的输出	R	0
5:3	CMP0PCH[2:0]	比较器 0 的正端输入 000: PC1 001: PB0 010: PC5 011: PB2 100: PB4 101: PB3 110: FVR 111: DAC	R/W	111
2:0	CMP0NCH[2:0]	比较器 0 的负端输入 000: PC0 001: PB1 010: PA1 011: PC4 100: PA4 101: PA5 110: FVR 111: DAC	R/W	111

### CMP0CON1(比较器控制寄存器)

地址：0XFA7

Bit	Name	Description	Attribute	Reset
7:4	CMP0FILTER[3:0]	CMP0 的滤波时间 $T = (CMP0FILTER[3:0] \ll 4 + 0X0F) / F_{cpu}$ 有效滤除 CMP0OUT 在 T 时间内的毛刺 CMP0FILTER[3:0]==0x00 时没有滤波	R/W	00



3:2	CMP0INT[1:0]	CMP0 中断产生沿选择位 00: 不产生中断 01: 上升沿触发中断 10: 下降沿触发中断 11: 双沿触发中断	R/W	00
1	CMP0OUTEN	使能 CMP0OUT 通过 PA2 输出 1: 允许使能 0: 禁止使能	R/W	0
0	CMP0_HYSEN	CMP0 迟滞使能 1: 允许使能 0: 禁止使能	R/W	0

## 13.2 比较器 CMP1

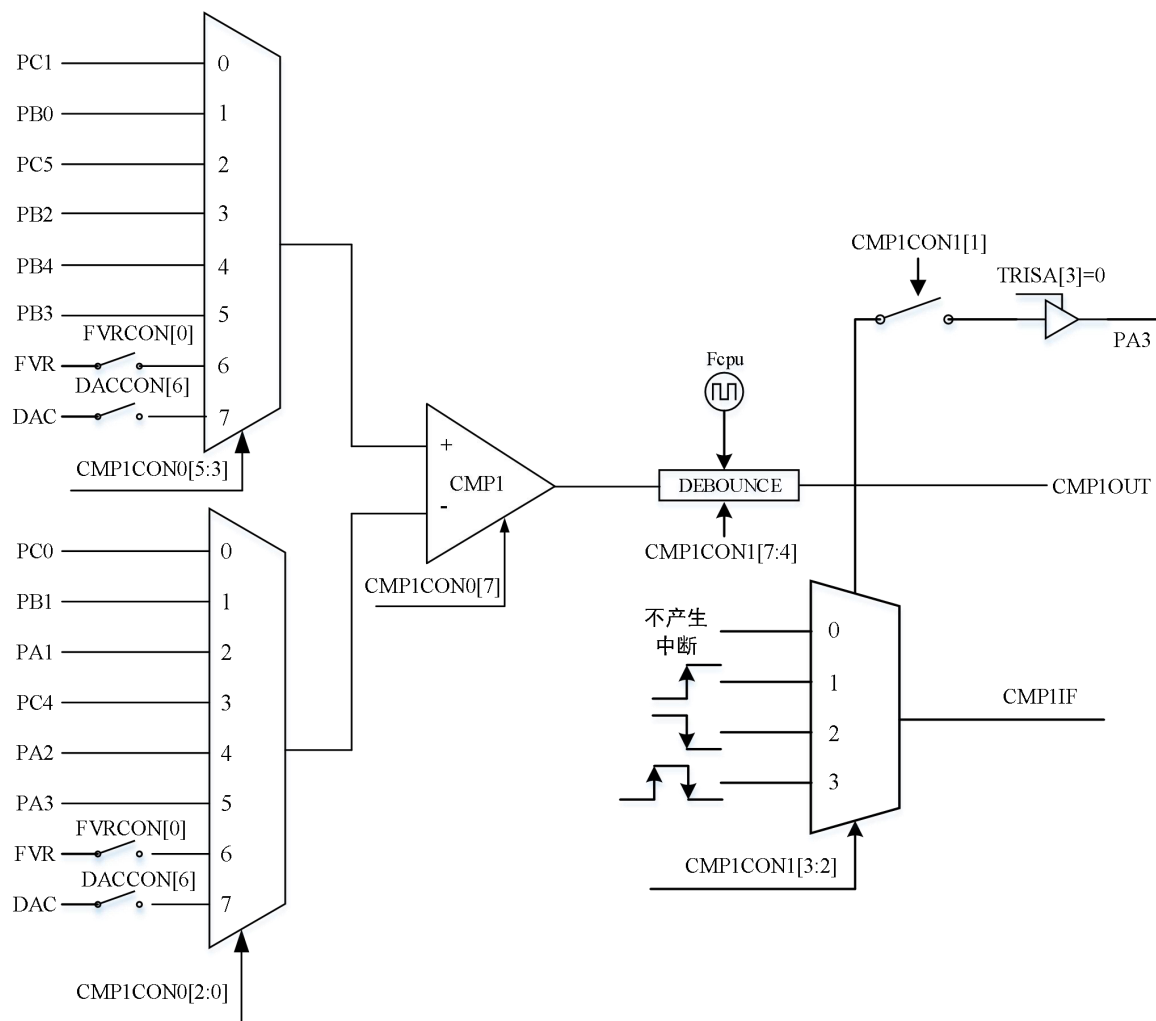


图 57 CMP1 电路图

## 注意事项

1、CMP1 的输出极性见 T2CON1[4]位，工作时钟源的选择见 T2CON1[2]位；

### CMPICON0(比较器控制寄存器)

地址：0XFA6

Bit	Name	Description	Attribute	Reset
7	CMP1EN	比较器 1 的使能 1: 使能 CMP1 0: 禁止 CMP1	R/W	0
6	CMP1OUT	CMP1 比较器的输出	R	0
5:3	CMP1PCH[2:0]	比较器 1 的正端输入 000: PC1 001: PB0 010: PC5 011: PB2 100: PB4 101: PB3 110: FVR 111: DAC	R/W	111
2:0	CMP1NCH[2:0]	比较器 1 的负端输入 000: PC0 001: PB1 010: PA1 011: PC4 100: PA2 101: PA3 110: FVR 111: DAC	R/W	111

### CMPICON1(比较器控制寄存器)

地址：0XFA5

Bit	Name	Description	Attribute	Reset
7:4	CMP1FILTER[3:0]	CMP1 的滤波时间 $T = (CMP1FILTER[3:0] \ll 4 + 0X0F) / F_{cpu}$ 有效滤除 CMP1OUT 在 T 时间内的毛刺 CMP1FILTER[3:0]==0x00 时没有滤波	R/W	00

3:2	CMP1INT[1:0]	CMP1 中断产生沿选择位 00: 不产生中断 01: 上升沿触发中断 10: 下降沿触发中断 11: 双沿触发中断	R/W	00
1	CMP1OUTEN	使能 CMP1OUT 通过 PA3 输出 1: 允许使能 0: 禁止使能 PA3 输出高电平需要外部接上拉电阻	R/W	0
0	CMP1_HYSPEN	CMP1 迟滞使能 1: 允许使能 0: 禁止使能	R/W	0

## 14 8X8 硬件乘法器

AD18E22X 包含一个 8x8 硬件乘法器。该乘法器可执行无符号运算并产生一个 16 位运算结果，该结果存储在乘积寄存器 **PRODH:PRODL** 中。该乘法器执行的运算不会影响状态寄存器中的任何标志。

通过硬件执行乘法运算只需要 1 个指令周期。硬件乘法器具有更高的计算吞吐量并减少了乘法算法的代码长度，从而可在许多先前仅能使用数字信号处理器的应用中使用 AD18E22X 器件。

## 15 省电模式(SLEEP)

拥有两种睡眠模式：(DEEPPWSAVE、PWOFF)

- 010: DEEPPWSAVE 模式，CPU 停止工作，高速 16M 时钟停止工作，低速 32K 时钟工作，SRAM 数据保持；支持外部中断、IO 中断、复位、看门狗溢出、TIMER1 的 32K 定时唤醒以及 CMP0 和 CMP1 选择 OSC32K 工作时可以唤醒，唤醒后继续从当前 PC 运行；
- 011: PWOFF 模式，全部外设和模拟停止工作，支持外部中断、IO 中断、复位，唤醒后继续从当前 PC 运行；

注：SLEEP 语句之后需加一条 NOP 指令；

### 15.1 睡眠唤醒

在睡眠状态下，两种模式，单片机能通过以下方式唤醒:如下表所示

表 15-1 两种模式下唤醒方式

模块	睡眠模式	
	PWOFF	DEEPPWSAVE
TIMER0		
TIMER1		√
WDT		√
RST	√	√
INT	√	√
CMP0 和 CMP1		√
IO	√	√

注：√表示可唤醒的方式

在睡眠状态下，两种模式可以工作的模块如下图所示

表 15-2 两种模式可以工作的模块

模块			
	ACTIVE	PWOFF	DEEPPWSAVE
OSC16M	√		
OSC32K	√		√
CPU	√		
SRAM	√	√	√
Timer0/2/3	√		
Timer1	√		√
WDT	√		√
External Interrupt	√	√	√
PAIF/PBIF/PCIF	√	√	√
内部基准	√	√	√
LVR	√		√
ADC	√		
DAC	√		
CMP 和 CMP1	√		√
IO	√	√	√
RESET	√	√	√

外部的 RSTn 管脚和看门狗溢出都能使机器复位,通过查看/PD 和/TO 位可以检测机器是哪种复位, /PD 位置 1 为上电复位, 置 0 为执行 SLEEP, /TO 位置 0 为看门狗溢出复位。机器通过中断唤醒,该中断屏蔽位置 1, 中断唤醒不管 GIE 是否置 1。当 GIE 位被清零, 机器唤醒以后执行 SLEEP 指令以后的指令; 当 GIE 位被置 1,机器唤醒以后跳转到中断复位地址(008h)。

## SMCR(状态控制寄存器)

地址: 0XFD4

Bit	Name	Description	Attribute	Reset
7:4	Reserved			
3:1	SM[2:0]	休眠模式选择  010: DEEPPWSAVE 模式, CPU 停止工作, 高速 16M 时钟停止工作, 低速 32K 时钟工作; 支持外部中断、IO 中断、复位、看门狗溢出、TIMER1 的 32K 定时唤醒,CMP0 和 CMP1 选择 OSC32K 工作时可以唤醒, 唤醒后继续从当前 PC 运行;  011: PWOFF 模式, 全部外设和模拟停止工作, 支持外部中断、IO 中断、复位, 唤醒后继续从当前 PC 运行;	R/W	000
0	SE	休眠模式使能位  1: 使能休眠模式,硬件自动清零  0: 禁止休眠模式	R/W	0

表 15-3 SLEEP 不同工作模式下的唤醒时间

工作模式	唤醒时间
DEEPPWSAVE 模式	1ms
PWOFF 模式	1ms

注: 1ms 为典型值

## 16 电气特性

### 16.1 直流交流电气特性

下列所有数据除特别列明外，皆于 Ta=25℃，VDD=5.0V 条件下获得

符号	描述	指令周期	最小值	典型值	最大值	单位	条件
VDD	工作电压		2.0	5.0	5.5	V	
F <sub>sys</sub>	系统时钟(CLK)= HIRC/2 HIRC/4 HIRC/8 HIRC/16 LIRC		0 0 0 0	    32K	8M 4M 2M 1M	Hz	VDD≥2.6V VDD≥2.4V VDD≥2.2V VDD≥2.0V VDD=5.0V
I <sub>OP</sub>	工作模式(空载)	2T		3.95		mA	FSYS=16MHz@5.0V
				2.45			FSYS=8MHz@5.0V
				1.64			FSYS=4MHz@5.0V
				1.02			FSYS=2MHz@5.0V
				0.7			FSYS=1MHz@5.0V
				2.65			FSYS=16MHz@3.3V
				1.7			FSYS=8MHz@3.3V
				1.18			FSYS=4MHz@3.3V
				0.75			FSYS=2MHz@3.3V
				0.52			FSYS=1MHz@3.3V
		4T		2.99		mA	FSYS=16MHz@5.0V
				1.92			FSYS=8MHz@5.0V
				1.17			FSYS=4MHz@5.0V
				0.77			FSYS=2MHz@5.0V
				0.57			FSYS=1MHz@5.0V
				2.03			FSYS=16MHz@3.3V
				1.35			FSYS=8MHz@3.3V
				0.84			FSYS=4MHz@3.3V
				0.57			FSYS=2MHz@3.3V
				0.43			FSYS=1MHz@3.3V
I <sub>SAVE</sub>	DEEPPWSAVE 模式电流			1.8		uA	VDD=5.0V
				1.2			VDD=3.3V
I <sub>OFF</sub>	PWOFF 模式电流			0.9		uA	VDD=5.0V

				0.4			VDD=3.3V
V <sub>DR</sub>	RAM 保留数据电压*		1.5			V	
I <sub>LKG</sub>	引脚漏电流*		-	-	1	uA	
t <sub>RST</sub>	外部复位脉冲宽度		120			us	VDD=5.0V
V <sub>IL1</sub>	输入低电压		0		0.2*VDD	V	PA 口、PC1 SMTV=0
			0		0.3*VDD		PA 口、PC1 SMTV=1
V <sub>IH1</sub>	输入高电压		0.4*VDD		VDD	V	PA 口、PC1 SMTV=0
			0.7*VDD		VDD		PA 口、PC1 SMTV=1
V <sub>IL2</sub>	输入低电压		0		0.3*VDD	V	除 PA 口、PC1
V <sub>IH2</sub>	输入高电压		0.7*VDD		VDD	V	
I <sub>OH</sub>	IO 输出拉电流		-	10	-	mA	VDD=3.3V V <sub>IO</sub> =0.9*VDD
			-	20	-		VDD=5.0V V <sub>IO</sub> =0.9*VDD
I <sub>OL</sub>	IO 输出灌电流		-	10	-	mA	VDD=3.3V,CUR=0 V <sub>IO</sub> =0.1*VDD,
			-	20	-		VDD=5.0V,CUR=0 V <sub>IO</sub> =0.1*VDD
			-	30	-		VDD=3.3V,CUR=1 V <sub>IO</sub> =0.1*VDD
			-	60	-		VDD=5.0V,CUR=1 V <sub>IO</sub> =0.1*VDD
R <sub>PU</sub>	I/O 口上拉电阻		-	30	-	KΩ	PA2、PB 口、PC 口(除 PC6)
			-	1	-	KΩ	PC6(使能上拉)
			-	100	-	KΩ	PC6(不使能上拉)、PA4/5
R <sub>PD</sub>	I/O 口下拉电阻		-	30	-	KΩ	PA2/3
			-	1	-	KΩ	PC6



			-	10	-	KΩ	PA0/1
				100		KΩ	PA4/5
f <sub>HIRC</sub>	校准后的 HIRC 频率*		-2.0%	16	+2.0%	MHz	25℃, 2.5V~5.5V
			-2.0%	-	+2.0%		0℃~70℃ 2.5V~5.5V
CMP <sub>OS</sub>	比较器输入失调电压*		-	±10	-	mV	CMP0/1
CMP <sub>CM</sub>	比较器共模输入电压*		0		VDD	V	CMP0
			0		VDD-1.5	V	CMP1
CMP <sub>RT</sub>	比较器响应时间*		-	100	-	ns	CMP0/1
CMP <sub>HYS+</sub>	比较器正端迟滞电压*		-	+50	-	mV	CMP0/1
CMP <sub>HYS-</sub>	比较器负端迟滞电压*		-	-50	-	mV	CMP0/1
V <sub>ADC</sub>	ADC 工作电压		2.7		VDD	V	
V <sub>AD</sub>	ADC 的输入电压		0		Vref	V	
AD <sub>TS</sub>	ADC 分辨率				12	Bit	
T <sub>ADCONV</sub>	ADC 转换时间 (T <sub>ADCLK</sub> 是选定 AD 转换时钟周期)			15		T <sub>ADCLK</sub>	
V <sub>REFH</sub>	ADC 参考电压 1.2V*		-1%	1.2	+1%	V	
	ADC 参考电压 2.4V*		-	2.4	-		
	ADC 参考电压 3.6V*		-	3.6	-		
T <sub>WDT</sub>	看门狗超时溢出时间			31.5		ms	111
				4.03			110
				246.56			101
				62.24			100
				31.5			011
				4.03			010
				246.56			001
				62.24			000

注：\*这些参数是设计参考值，并不是每个芯片测试。

## 16.2 低功耗模式唤醒时间

下表列出的唤醒时间是在内部时钟 HIRC 的唤醒阶段测量得到的。唤醒时使用的时钟以当时的操作模式而定。

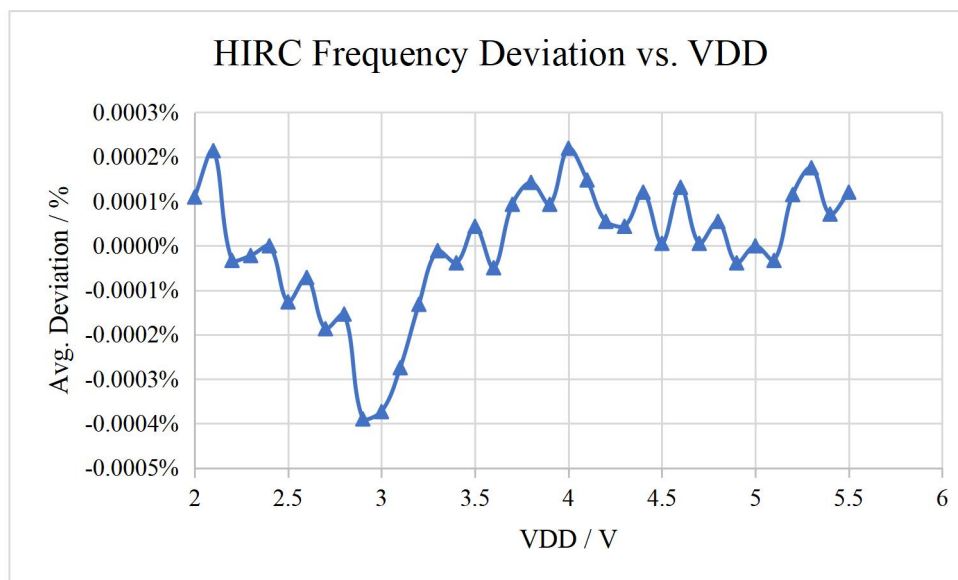
表 16-1 低功耗模式唤醒时间

工作模式	典型值	单位
DEEPPWSAVE	1	ms
PWOFF	1	ms

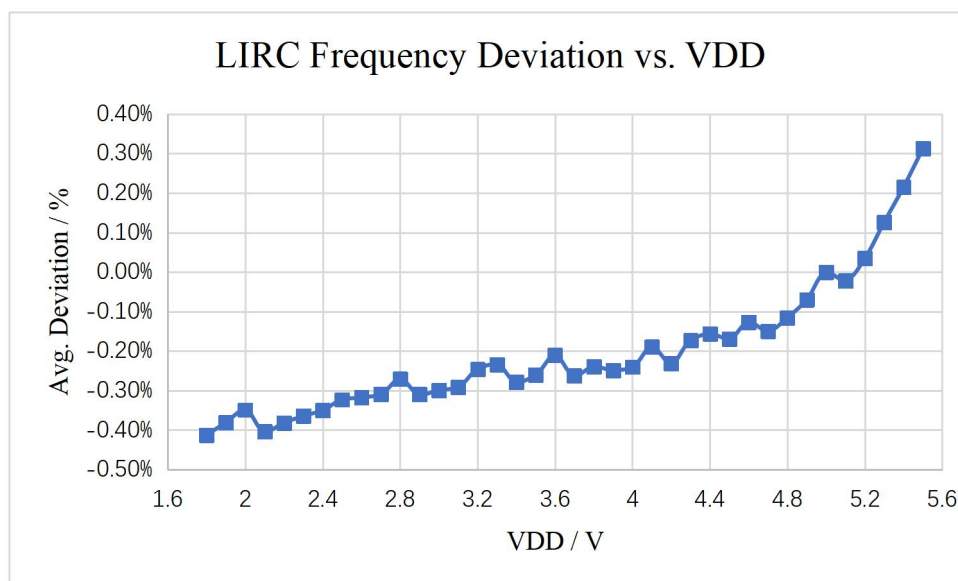
注意事项:

- 1、唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。
- 2、该表格暂时不对外，待后续测试后进行修改

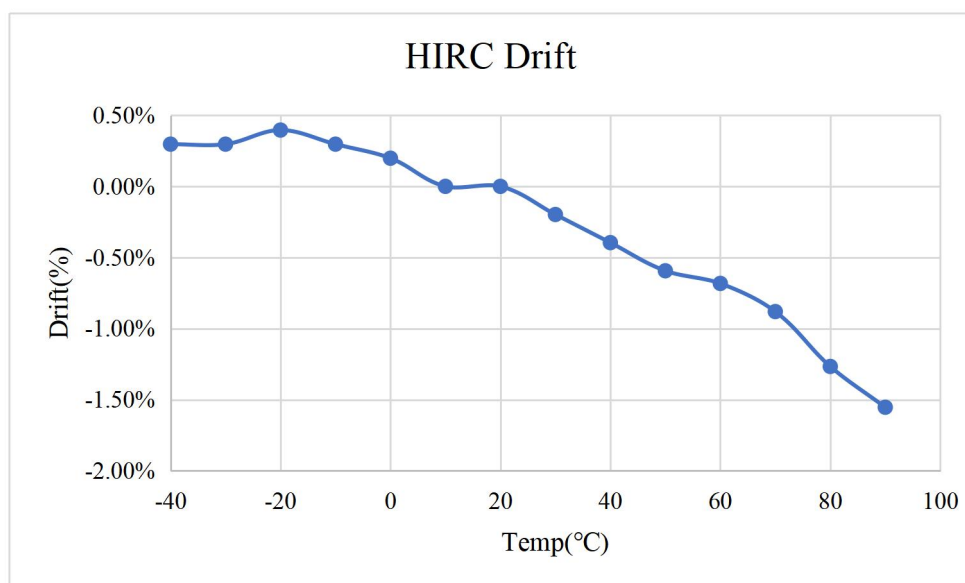
## 16.3 HIRC 频率与 VDD 关系曲线图



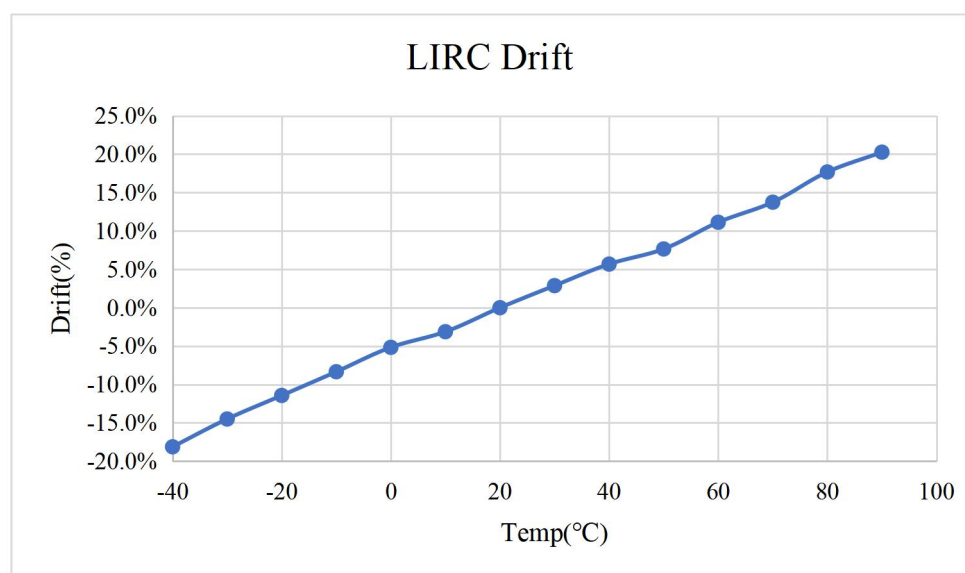
## 16.4 LIRC 频率与 VDD 关系曲线图



### 16.5 HIRC 频率与温度关系曲线图

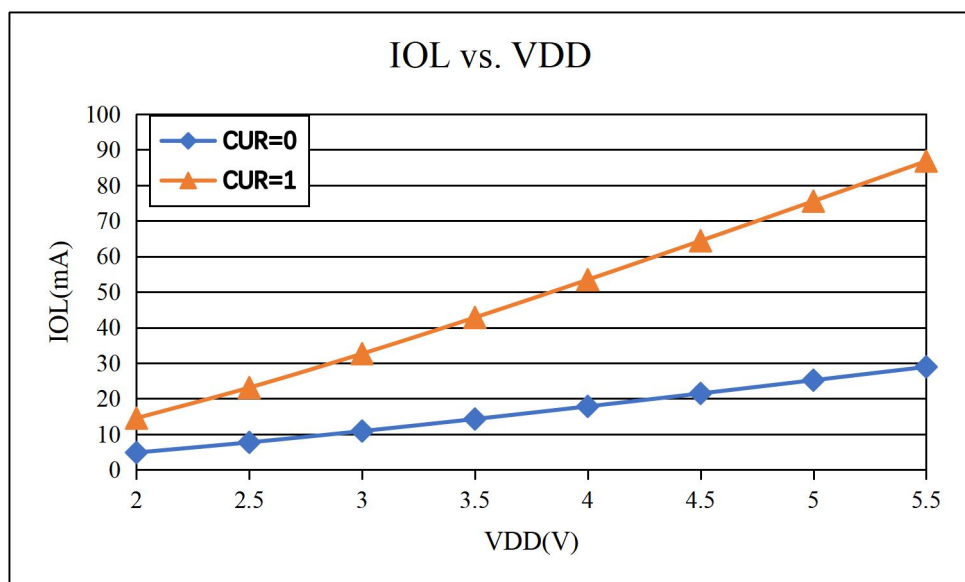
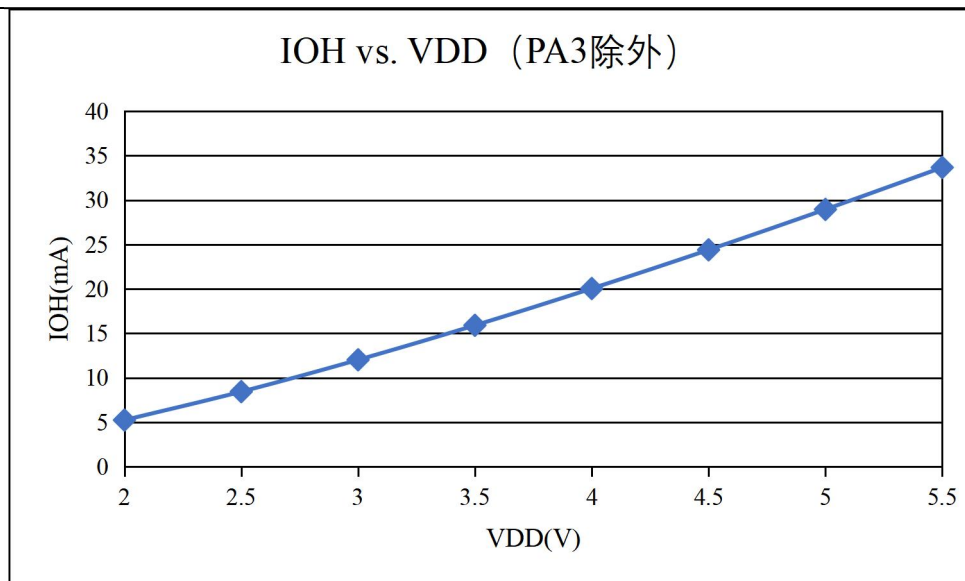


### 16.6 LIRC 频率与温度关系曲线图

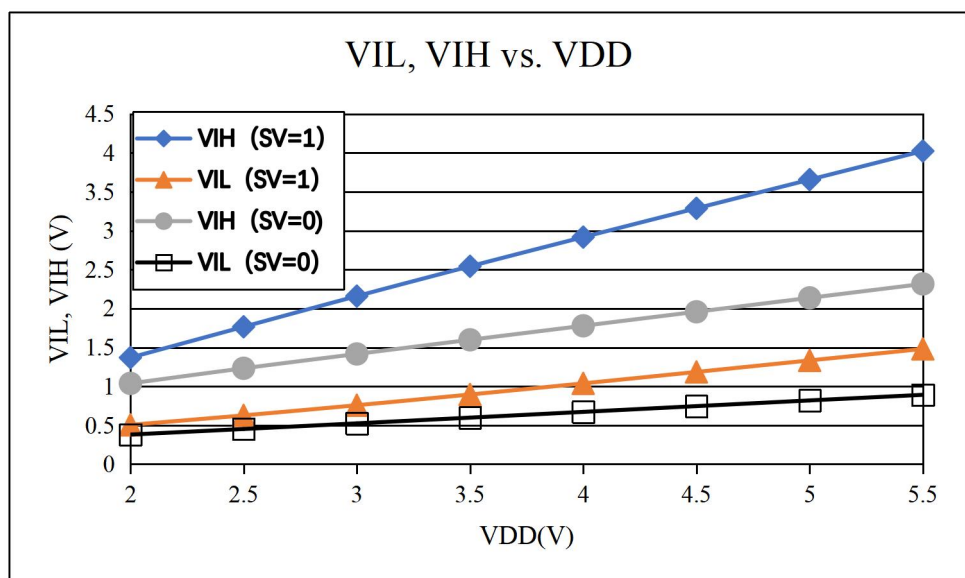


### 16.7 IO 引脚输出驱动能力电流( $I_{OH}$ )和灌电流( $I_{OL}$ )曲线图

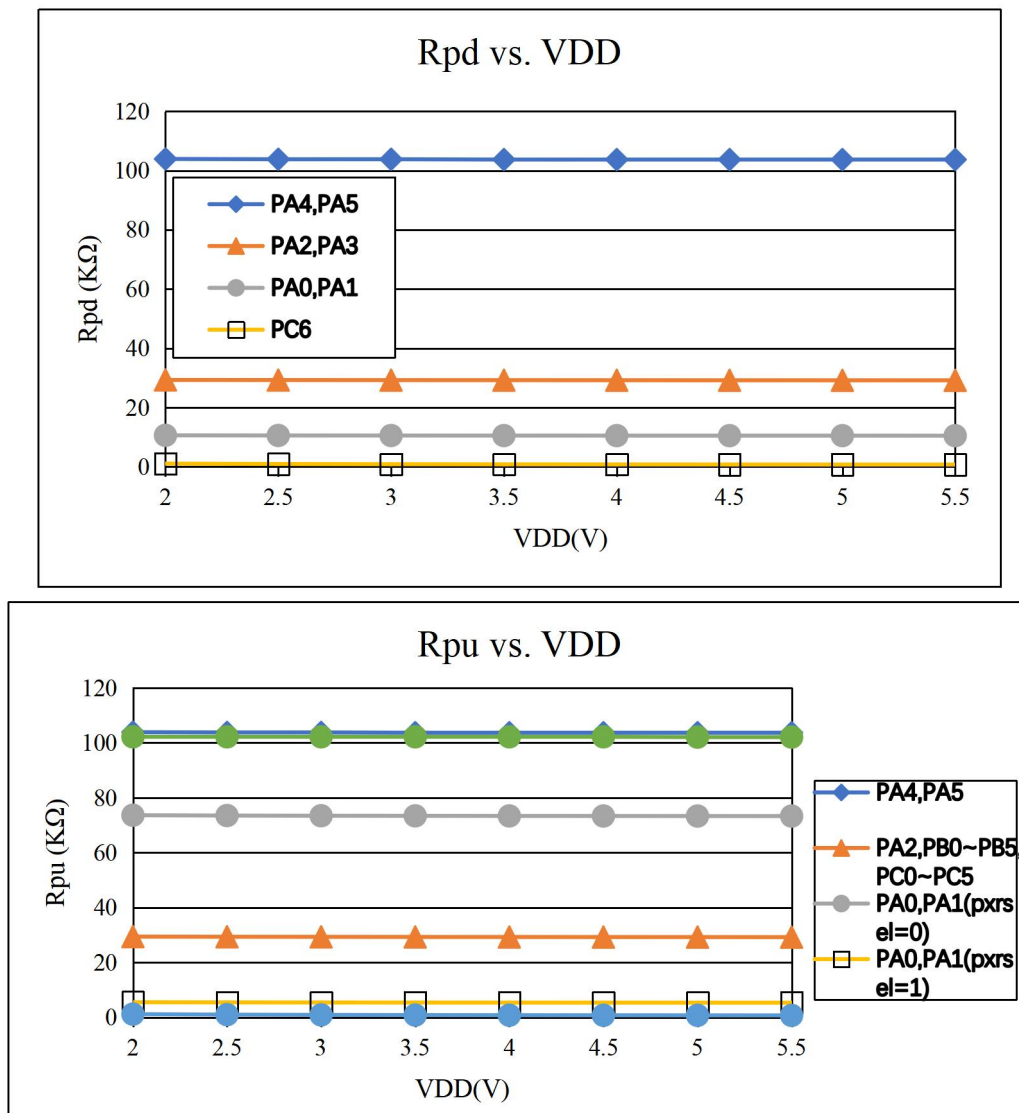
( $V_{OH}=90\% \cdot V_{DD}$ ,  $V_{OL}=10\% \cdot V_{DD}$ )



16.8 IO 引脚输入高/低阈值电压( $V_{IH}/V_{IL}$ )曲线图

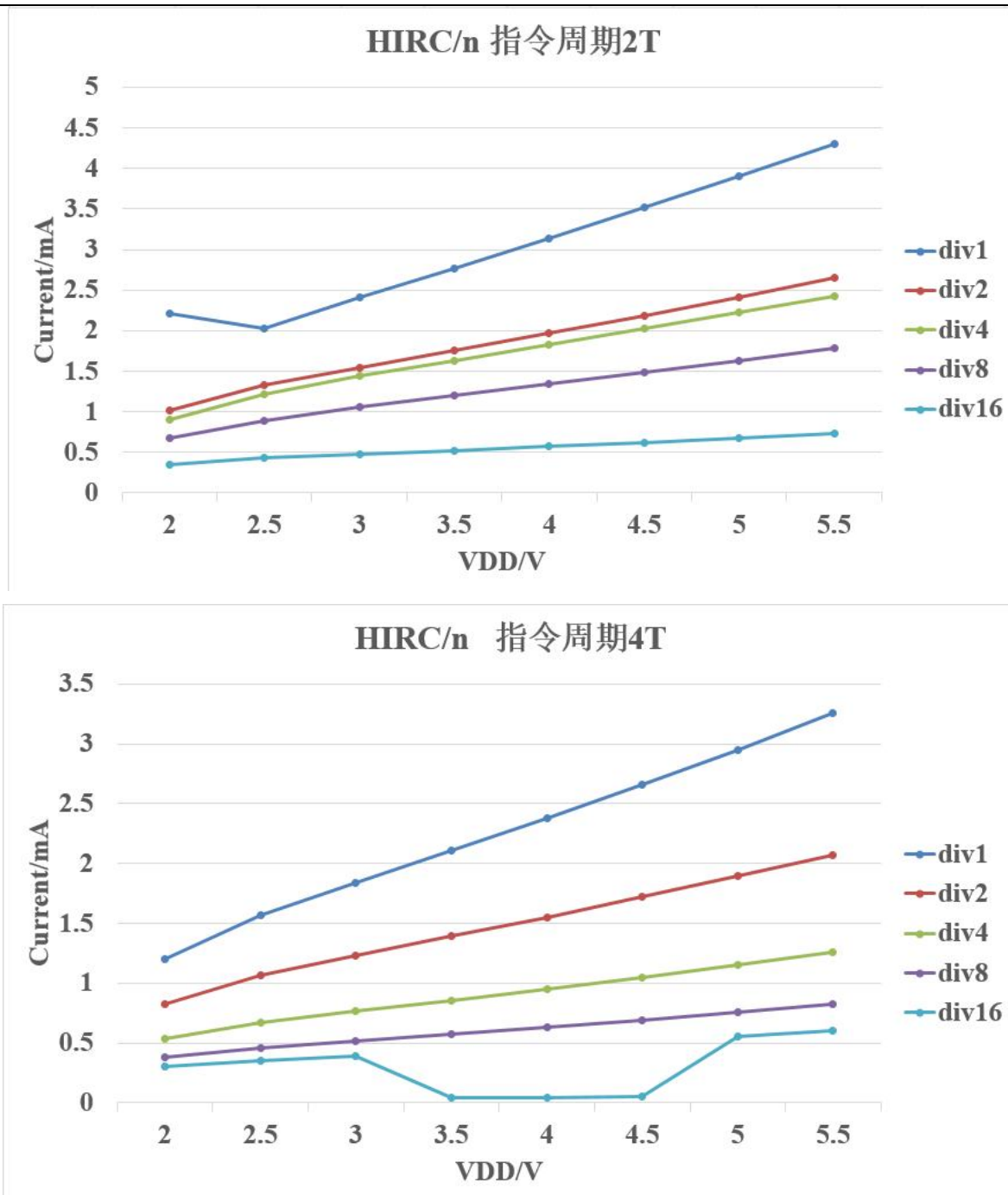


## 16.9 IO 引脚上拉/下拉阻抗曲线图



## 16.10 工作电流与 VDD、系统时钟 CLK=HIRC/n 关系曲线图

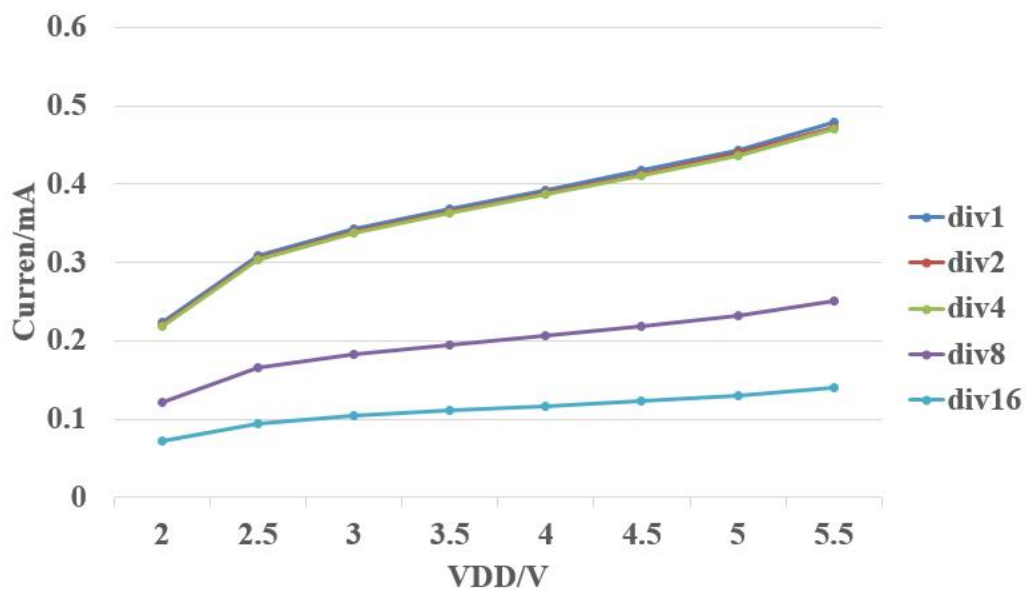
条件：开启 HIRC、LIRC、Bandgap；关闭：LVR，TIMER1、TIMER2、TIMER3、CMP、FVR、DAC、ADC modules；IO：PA0 以 0.5Hz 频率高低电压交换输出；其他：设为输入且不浮空。



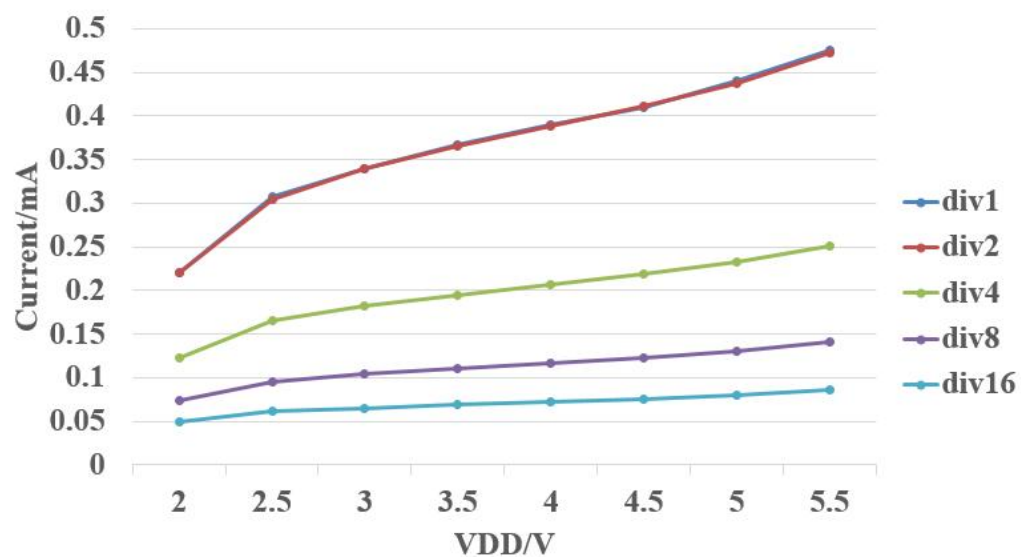
#### 16.11 工作电流与 VDD、系统时钟 CLK=LIRC/n 关系曲线图

条件：开启 HIRC、LIRC、Bandgap；关闭：LVR，TIMER1、TIMER2、TIMER3、CMP、FVR、DAC、ADC modules；IO：PA0 以 0.5Hz 频率高低电压交换输出；其他：设为输入且不浮空。

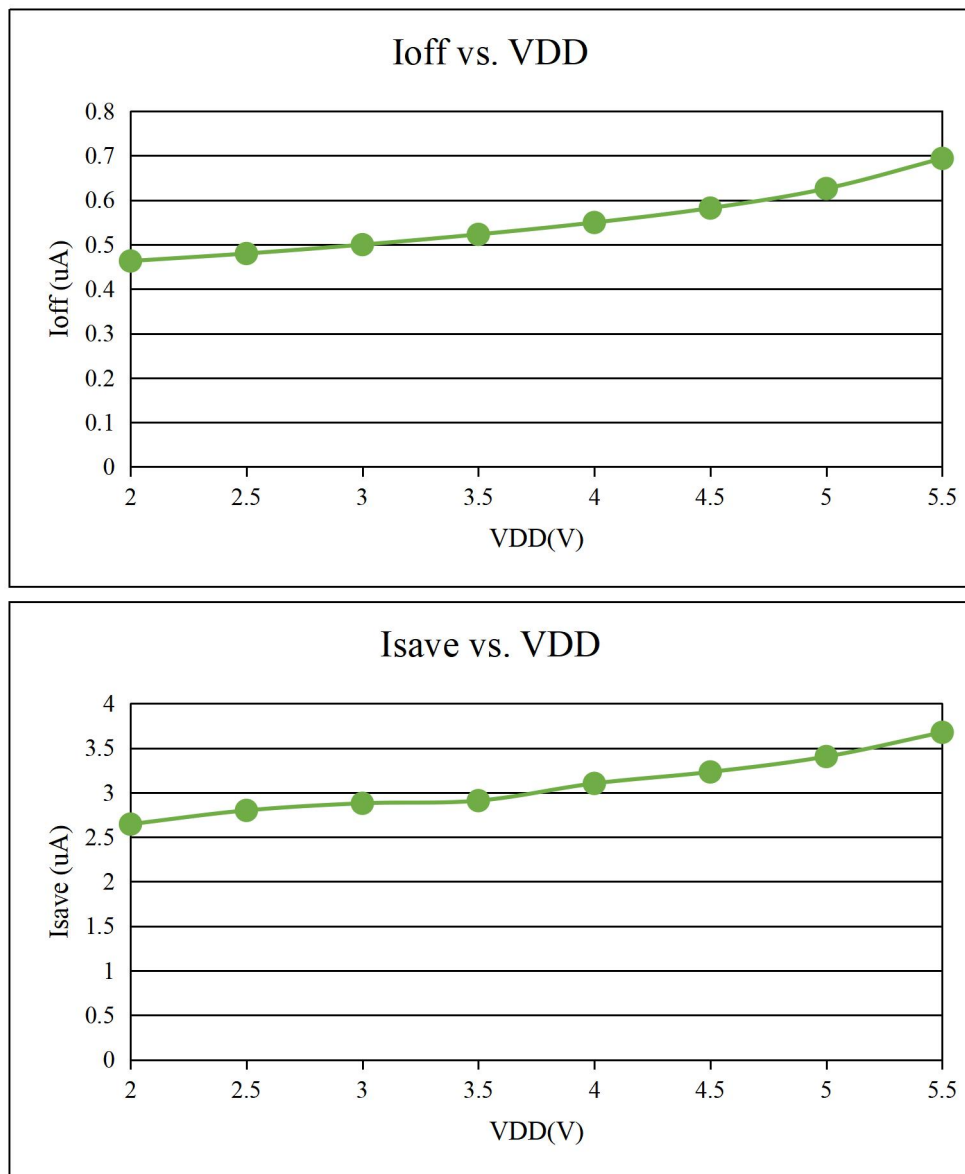
LIRC/n 指令周期2T



LIRC/n 指令周期4T



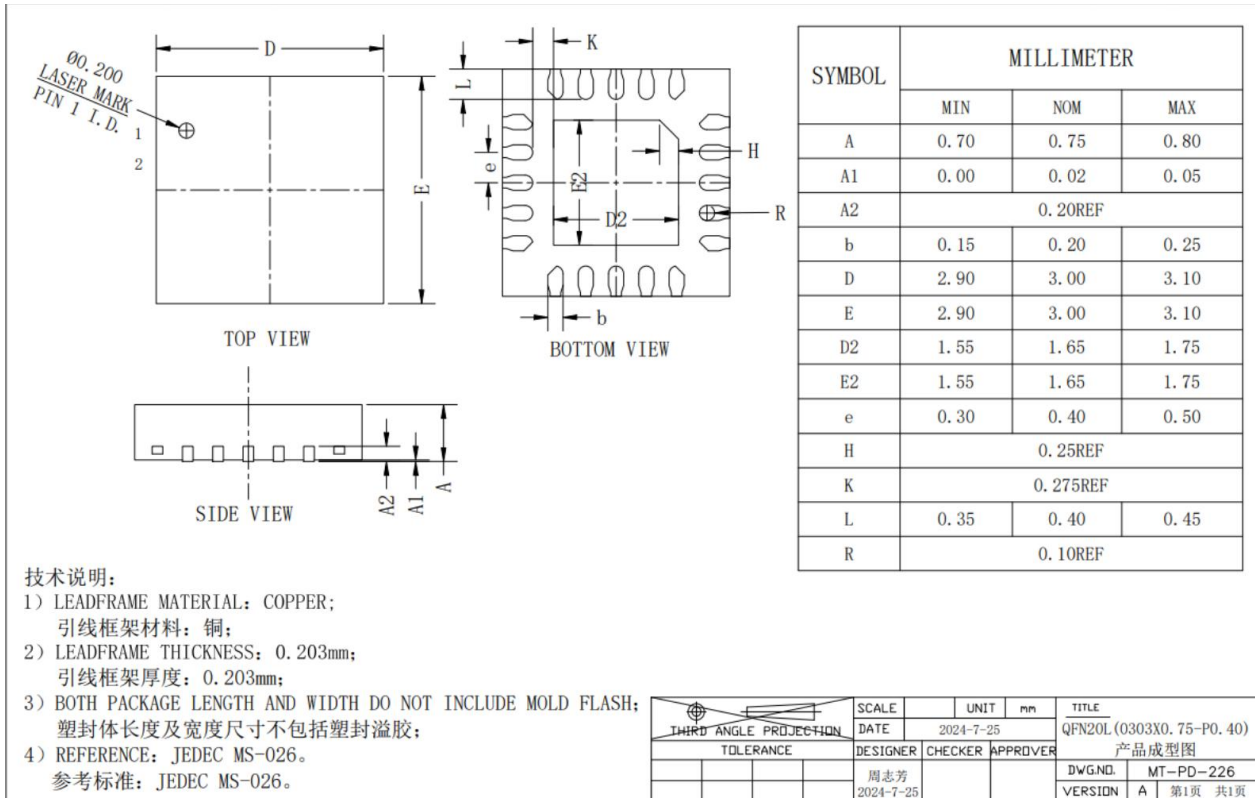
16.12 掉电模式消耗电流( $I_{OFF}$ )与省电模式消耗电流( $I_{SAVE}$ )曲线图



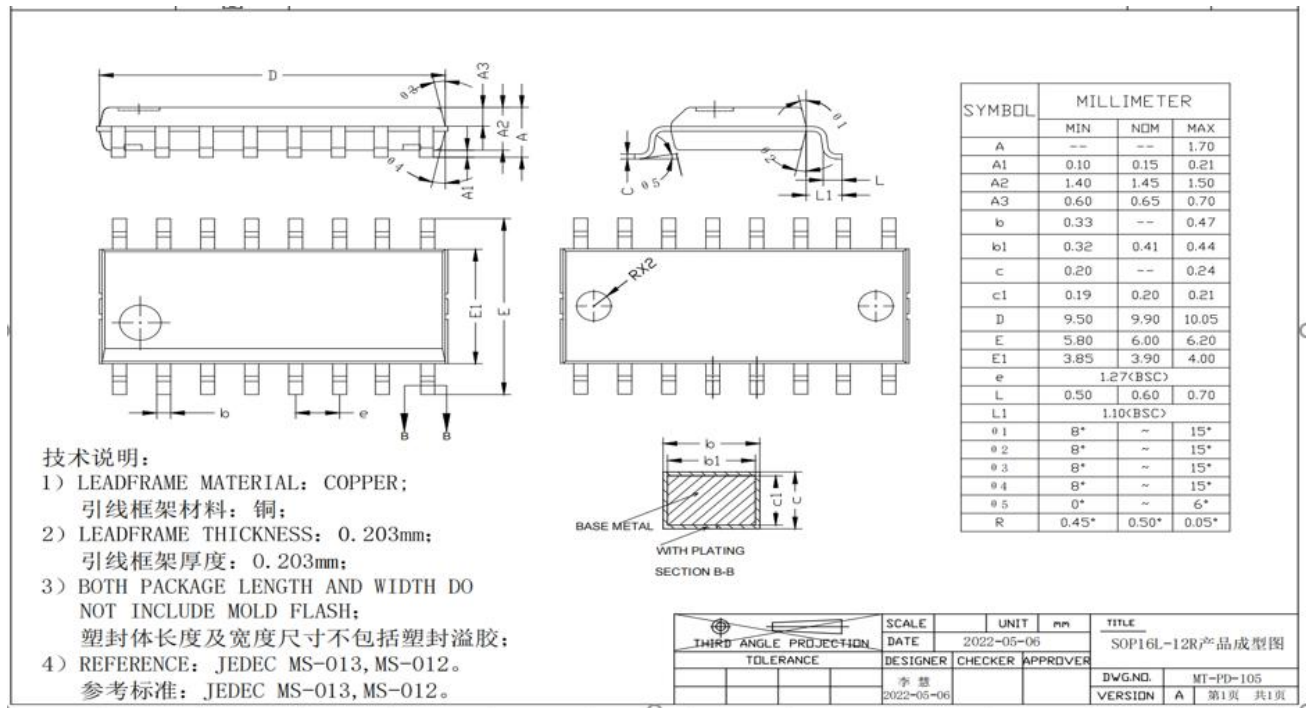


## 17 封装尺寸

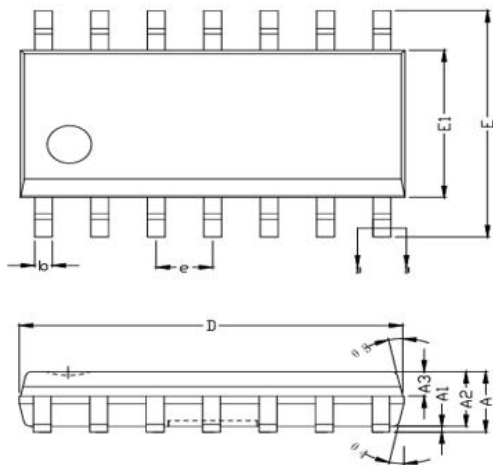
### 17.1 QFN20



### 17.2 SOP16

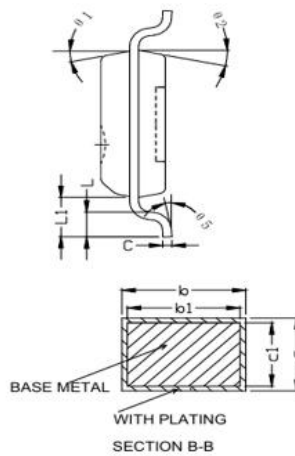


## 17.3 SOP14



技术说明:

- 1) LEADFRAME MATERIAL: COPPER;  
引线框架材料: 铜;
- 2) LEADFRAME THICKNESS: 0.203mm;  
引线框架厚度: 0.203mm;
- 3) BOTH PACKAGE LENGTH AND WIDTH DO NOT INCLUDE MOLD FLASH;  
塑封体长度及宽度尺寸不包括塑封溢胶;
- 4) REFERENCE: JEDEC MS-013, MS-012.



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	--	--	1.70
A1	0.10	0.15	0.21
A2	1.40	1.45	1.50
A3	0.60	0.65	0.70
b	0.33	--	0.47
b1	0.32	0.41	0.44
c	0.20	--	0.24
c1	0.19	0.20	0.21
D	8.45	8.60	8.75
E	5.80	6.00	6.20
E1	3.85	3.90	4.00
e	1.27(BSC)		
L	0.50	0.60	0.70
L1	1.10(BSC)		
θ 1	8°	~	15°
θ 2	8°	~	15°
θ 3	8°	~	15°
θ 4	8°	~	15°
θ 5	0°	~	6°



SCALE	UNIT	mm
DATE	2022-08-03	
DESIGNED	CHECKED	APPROVED

TITLE  
SOP14L产品成型图

## 18 订购信息

### 18.1 AD18E221

#### 丝印信息

现行ADUC的单片机表面印有一栏信息：产品代码和日期码。

Marking	E8221	4	27	0	X
	Device code	Year	Week	SeriesNo	Internal No
	Year: 1: 2021; 2 : 2022				
	Week: 01:第1周; 23:第23周				
	SeriesNo: 序列号0-Z, 1:当前周别第3个工单				

#### 标签信息

货品内外包装上粘贴的标签上包含：产品名称，封装信息，芯片批号，丝印信息，出货日期及包装数量。

产品名称	Part No: AD18E221Q20
封装信息	Package:QFN20 (3*3)
芯片批号	Lot No: NHC555000
丝印信息	Marking:E8221 42700
出货日期	Date: 2024-09-28
包装数量	QTY: *****

#### 采购信息

AD18E221		
产品名称	封装信息	工作温度
AD18E221Q20	QFN20 (3*3)，绿色封装	-40~85℃
AD18E221S16	SOP16，绿色封装	-40~85℃
AD18E221S14	SOP14，绿色封装	-40~85℃

## 19 特别注意事项

此章节提醒使用者在使用该 IC 时避免常犯的一些错误；

### 19.1 工作电压范围

CPU 工作的最高频率为 16MHz/4T 下工作电压范围@VDD=2.0V-5.5；16MHz/2T 和 32MHz/4T 下工作电压范围@VDD=2.6V-5.5V；

### 19.2 看门狗

当 LIRC 关闭时，看门狗也会失效；

### 19.3 HIRC

- 1、HIRC 频率在晶圆测试阶段已进行校准，封装过程可能会导致 HIRC 频率漂移。
- 2、针对封装引起的频率漂移，烧录器软件可选择对 HIRC 进行重新校准，用户也可以根据使用经验来做频率补偿，例如，用户可以在使用时调低 HIRC 频率约 0.5%~1%，以便得到比 IC 塑封之后更好的 HIRC 频率。

### 19.4 IC 烧录方法

#### 19.4.1 烧录引脚及方法

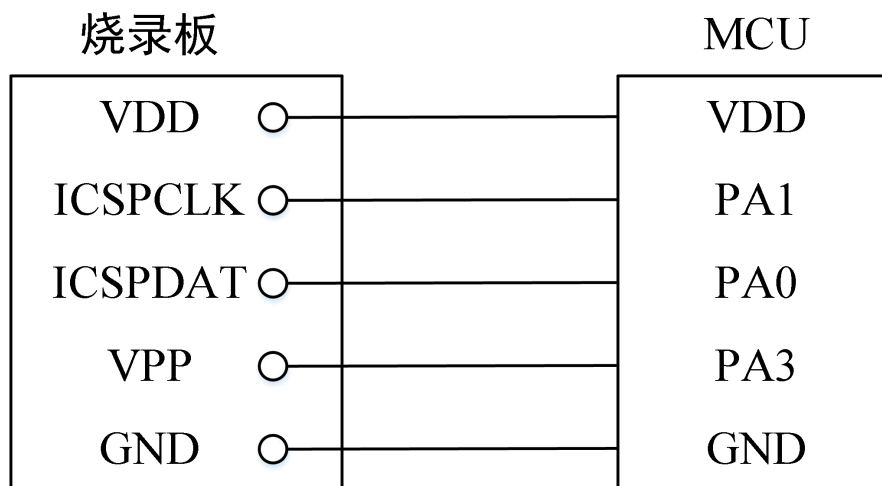


图 58 五线烧录示意图

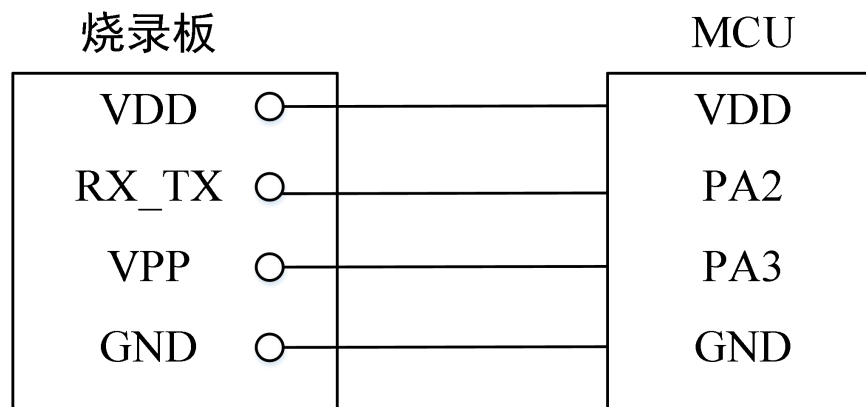


图 59 四线烧录示意图

- 1、空片烧录通过 I2C 协议进行烧录，烧录引脚为 PA1(ICSPCLK)和 PA0(ICSPDAT)，烧录时 VPP 需要加高压(9.3V~9.7V)，芯片电源电压范围应为(3.3V~5.5V)。如需校准，则根据校准方案引出相应引脚。
  - a) I2C 的调试通过配置字 DBGEN\_I2C 使能，此时芯片运行过程中 PA1(ICSPCLK)和 PA0(ICSPDAT)无法用作其他功能。
- 2、芯片时钟校准后可以使用 UART 单线通讯；烧录引脚为 PA2(RX\_TX)；烧录时 VPP 需要加高压(9.3V~9.7V)。
  - a) UART 的调试模式通过配置字 DBGEN\_UART 选择不同的波特率进行调试，详见配置字 1。
  - b) UART 支持多芯片级联烧录，连接方法见章节 1。

#### 19.4.2 烧录电压条件

- 1、VPP(PA3 引脚)需要 9.3V~9.7V 的电压。
- 2、PA3 需要串接 200R 电阻。

#### 19.4.3 烧录注意事项

- 1、单线下载时会占用串口。
- 2、VPP 电压在写入 MTP 时供给。
- 3、MTP 烧录时应写完全部地址(是否支持单个地址写入，需进行实验)。

## 免责声明

本资料内容为西安恩狄集成电路有限公司(以下简称“恩狄”)版权所有。

恩狄将力求本资料的内容做到准确无误,但同时保留在不通知用户的情况下,对本资料内容的修改权。如您需要获得最新的资料,请及时联系恩狄。

恩狄将尽最大努力为您提供高品质、高稳定性的产品。尽管如此,由于一般半导体器件的电气敏感性 & 易受到外部物理损伤等固有特性存在,所以难免造成半导体器件出现故障或失效的可能。当您使用恩狄产品时,有责任按照本资料以及相关关联资料中提到的“规则”来设计一个稳定及安全可靠的系统环境。另外,在遇到超规格(本资料中未描述到内容)的使用,请您提前咨询恩狄,以免因恩狄产品在一些特殊设备中或者特殊环境下的使用,导致财产损失、人员伤亡等严重后果的发生。因超规格的使用、未经咨询授权恩狄产品的使用,恩狄对此不承担任何法律责任。